

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354749 ✓

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁹

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

6 8 1 F

6 2 1 C

審査請求 未請求 請求項の数21 O L (全 48 頁)

(21) 出願番号 特願平10-164639

(22) 出願日 平成10年(1998) 6 月12日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 宿利 章二

東京都小平市上水本町五丁目20番 1 号 株

式会社日立製作所半導体事業部内

(72) 発明者 黒田 謙一

東京都小平市上水本町五丁目20番 1 号 株

式会社日立製作所半導体事業部内

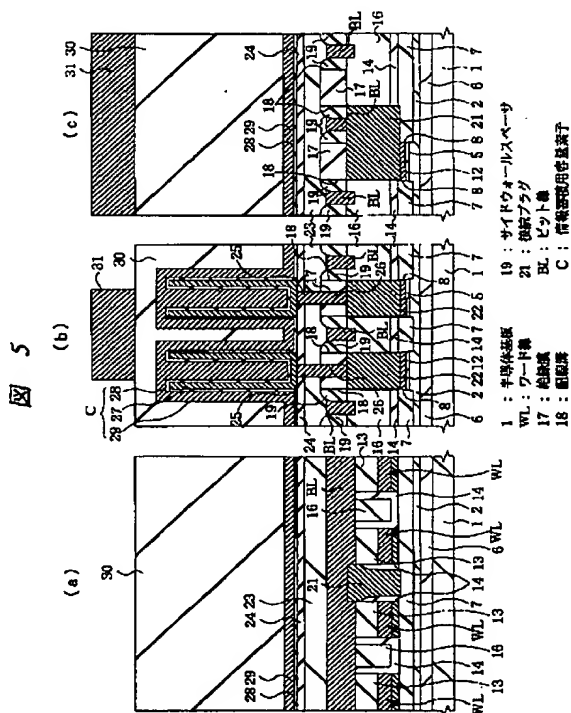
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 ビット線等配線の線幅をフォトリソグラフィの加工限界を越えて縮小された寸法で加工する。

【解決手段】 ビット線 B L 上に情報蓄積用容量素子 C を有する DRAM において、DRAM のワード線 W L として機能するゲート電極上に形成された配線形成用の絶縁膜 1 7 に配線溝 1 8 を形成し、配線溝 1 8 の側壁にサイドウォールスペーサ 1 9 を形成する。サイドウォールスペーサ 1 9 でその間隔が狭められた配線溝 1 8 内に、たとえばタングステン膜からなるビット線 B L および第 1 層配線を配線溝 1 8 に埋め込んで形成する。ビット線 B L は接続プラグ 2 1 を介して半導体基板 1 に接続され、ビット線 B L と接続プラグ 2 1 とは配線溝 1 8 の底部で接続される。



【特許請求の範囲】

【請求項1】 半導体からなる基板または表面に半導体層を有する基板と、前記基板の主面の分離領域に囲まれた活性領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極下のチャネル領域と、前記チャネル領域を挟んで形成された第1および第2半導体領域と、前記第1半導体領域に電気的に接続された金属配線と、前記第2半導体領域に電気的に接続され、前記金属配線よりも上層に形成された情報蓄積容量素子とを有する半導体集積回路装置であって、

前記ゲート電極上の何れかの層に形成された第1絶縁膜に配線溝を有し、前記金属配線が、前記配線溝に埋め込んで形成されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、さらに、前記金属配線とゲート電極との間の第2絶縁膜に形成された第1接続孔と、前記第1接続孔内に形成され、前記第1半導体領域に電気的に接続された導電性の接続プラグとを有し、前記配線溝の底部において、前記金属配線の底部と接続プラグの上部とが電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であって、さらに、前記ゲート電極を覆う第3絶縁膜上に、前記第1半導体領域上の前記第3絶縁膜に形成された第2接続孔と、前記第2接続孔を覆う導電膜とを有し、前記配線溝の底部において、前記金属配線の底部と導電膜の上部とが電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置であって、前記活性領域または金属配線は、第1方向に延在する直線形状の平面パターンを有していることを特徴とする半導体集積回路装置。

【請求項5】 請求項4記載の半導体集積回路装置であって、前記活性領域および金属配線は、前記第1方向に延在する直線形状の平面パターンを有し、前記第1方向に垂直な第2方向において、互いのパターン間に挿入されるような平面配置で構成され、前記接続プラグまたは導電膜が前記活性領域中央の前記第1半導体領域から前記第2方向の前記金属配線部分まで延在するパターンで配置されていることを特徴とする半導体集積回路装置。

【請求項6】 請求項1記載の半導体集積回路装置であって、前記活性領域および金属配線は第1方向に延在するほぼ直線的な平面パターンで構成され、前記活性領域または金属配線の一方または両方に前記第1方向に垂直な第2方向に張り出した領域を有し、前記領域の前記配線溝の

下部に形成された第3接続孔を介して前記金属配線と前記第1半導体領域とが直接接続されていることを特徴とする半導体集積回路装置。

【請求項7】 請求項1～6の何れか一項に記載の半導体集積回路装置であって、さらに、前記配線溝または第3接続孔の側壁には絶縁体であるサイドウォールスペーサが形成され、前記金属配線の幅は、前記サイドウォールスペーサの厚さの総和に相当する幅だけ前記配線溝の幅よりも狭くなっていることを特徴とする半導体集積回路装置。

【請求項8】 請求項7記載の半導体集積回路装置であって、前記金属配線の表面の標高は、前記第1絶縁膜の表面の標高よりも低いことを特徴とする半導体集積回路装置。

【請求項9】 請求項7または8記載の半導体集積回路装置であって、前記サイドウォールスペーサは、シリコン酸化膜またはシリコン窒化膜からなることを特徴とする半導体集積回路装置。

20 【請求項10】 請求項1～9の何れか一項に記載の半導体集積回路装置であって、前記配線溝の底部には、前記第1絶縁膜またはサイドウォールスペーサに対してエッチング選択比を有する第4絶縁膜が形成されていることを特徴とする半導体集積回路装置。

30 【請求項11】 請求項10記載の半導体集積回路装置であって、前記第1絶縁膜またはサイドウォールスペーサはシリコン酸化膜であり、前記第4絶縁膜はシリコン窒化膜であることを特徴とする半導体集積回路装置。

【請求項12】 半導体からなる基板または表面に半導体層を有する基板と、前記基板の主面の分離領域に囲まれた活性領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極下のチャネル領域と、前記チャネル領域を挟んで形成された第1および第2半導体領域と、前記第1半導体領域に電気的に接続された金属配線と、前記第2半導体領域に電気的に接続され、前記金属配線よりも上層に形成された情報蓄積容量素子とを有する半導体集積回路装置の製造方法であって、

40 (a) 前記基板の主面に前記分離領域を形成し、さらに絶縁膜および導電膜を順次形成し、前記絶縁膜および導電膜をパターニングすることにより前記ゲート絶縁膜およびゲート電極を形成する工程、

(b) 前記ゲート電極間に不純物をイオン注入して前記第1および第2半導体領域を形成する工程、

(c) 前記基板の全面に第1絶縁膜を形成し、前記第1絶縁膜に配線溝を形成する工程、

50 (d) 前記配線溝の内部を含む前記第1絶縁膜上に金属膜を堆積し、前記配線溝以外の領域の前記金属膜を除去し、前記金属配線を形成する工程、

(e) 前記基板の全面を覆う第 5 絶縁膜を堆積し、前記第 5 絶縁膜上に前記情報蓄積用容量素子を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 13】 請求項 12 記載の半導体集積回路装置の製造方法であって、前記 (c) 工程の前に、前記基板の全面に第 2 絶縁膜を形成し、前記第 1 および第 2 半導体領域上の前記第 2 絶縁膜に第 1 接続孔を形成する工程と、前記第 1 および第 2 半導体領域に接続される接続プラグを前記第 1 接続孔内に埋め込んで形成する工程とを有し、前記 (c) 工程における前記配線溝の形成により、前記第 1 半導体領域に接続される接続プラグの上部または上面を前記配線溝の底部に露出することを特徴とする半導体集積回路装置の製造方法。

【請求項 14】 請求項 12 記載の半導体集積回路装置の製造方法であって、前記 (c) 工程の前に、前記ゲート電極を覆う第 3 絶縁膜を堆積し、前記第 1 半導体領域上の前記第 3 絶縁膜に第 2 接続孔を形成する工程と、前記第 2 接続孔の内部を含む前記第 3 絶縁膜上に導電膜を堆積し、前記第 2 接続孔を覆うように前記導電膜をパターンニングする工程とを有し、前記 (c) 工程における前記配線溝の形成により、前記導電膜の一部を前記配線溝の底部に露出することを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 請求項 12 記載の半導体集積回路装置の製造方法であって、前記 (c) 工程の後、前記配線溝領域に重複し前記第 1 半導体領域を露出する平面パターンを有する第 3 接続孔を形成する工程を有し、前記 (d) 工程における前記金属膜の堆積の際に前記金属膜が前記第 3 絶縁膜の内部にも形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 16】 請求項 12～15 の何れか一項に記載の半導体集積回路装置の製造方法であって、前記 (d) 工程の前に、前記配線溝または第 3 接続孔の内部を含む前記第 1 絶縁膜上に、前記配線溝の幅の 2 分の 1 よりも薄い膜厚の第 6 絶縁膜を堆積し、前記第 6 絶縁膜を異方性エッチングすることにより、前記配線溝または第 3 接続孔の側壁にサイドウォールスペーサを形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 17】 請求項 12～16 の何れか一項に記載の半導体集積回路装置の製造方法であって、前記金属配線を形成するための前記金属膜の除去は、CMP 法による研磨により行われ、前記研磨を過剰に行うことによって前記配線溝内の前記金属配線の表面にディッシングを発生させることを特徴とする半導体集積回路装置の製造方法。

【請求項 18】 請求項 12～16 の何れか一項に記載の半導体集積回路装置の製造方法であって、前記金属配線を形成するための前記金属膜の除去は、CMP 法による研磨により行われ、前記研磨を過剰に行うことによって前記配線溝上部の前記サイドウォールスペーサの幅が狭くなっている部分をも金属膜とともに除去することを特徴とする半導体集積回路装置の製造方法。

【請求項 19】 請求項 12～18 の何れか一項に記載の半導体集積回路装置の製造方法であって、前記ゲート電極と第 1 絶縁膜との間の何れかの層に、前記第 1 絶縁膜または第 6 絶縁膜に対してエッチング選択比を有する第 4 絶縁膜を形成し、前記第 1 絶縁膜の前記配線溝の形成の際、または前記第 6 絶縁膜の異方性エッチングによるサイドウォールスペーサの形成の際に前記第 4 絶縁膜をエッチングストップとして用いることを特徴とする半導体集積回路装置の製造方法。

【請求項 20】 請求項 19 記載の半導体集積回路装置の製造方法であって、前記第 1 および第 6 絶縁膜としてシリコン酸化膜を用い、前記第 4 絶縁膜としてシリコン窒化膜を用いることを特徴とする半導体集積回路装置の製造方法。

【請求項 21】 請求項 12～20 の何れか一項に記載の半導体集積回路装置の製造方法であって、前記 (e) 工程における前記情報蓄積用容量素子とその下層の前記第 2 半導体領域または前記第 2 半導体領域上の接続プラグとを接続する接続孔の加工工程は、前記第 5 絶縁膜上に前記第 1 および第 5 絶縁膜に対してエッチング選択比を有する第 1 被膜を堆積する第 1 工程、

前記第 2 半導体領域上の前記第 1 被膜に開口を形成する第 2 工程、

前記開口の口径の 2 分の 1 以下の膜厚を有し、前記第 1 および第 5 絶縁膜に対してエッチング選択比を有する第 2 被膜を堆積する第 3 工程、

前記第 2 被膜を異方性エッチングすることにより前記開口の内壁に前記第 2 被膜のサイドウォールスペーサを形成する第 4 工程、

前記第 1 被膜および前記第 2 被膜のサイドウォールスペーサをハードマスクとして前記第 5 絶縁膜とその下層に存在する絶縁膜とをエッチングする第 5 工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、高集積化に適した記憶保持動作が必要な随時書き込み読み出しメモリ (DRAM: Dynamic Random Access Memory) に適用して有効な技術に関するものである。

【0002】

【従来の技術】一般にDRAMの基本構造としてトレンチ型とスタックド型が知られている。トレンチ型は、情報蓄積用容量素子（キャパシタ）を基板に掘ったトレンチの内部に形成するものであり、スタックド型は、情報蓄積用容量素子を基板表面の転送用トランジスタ（メモリセル選択用MISFET（Metal Insulator Semiconductor Field Effect Transistor））の上部に形成するものである。スタックド型は、さらに情報蓄積用容量素子をビット線の下部に配置するCUB（Capacitor Under Bit-line）型および上部に配置するCOB（Capacitor Over Bit-line）型に分類される。量産が開始された64Mビット以降の製品では、セル面積の縮小性に優れたスタックド型でCOB型が主流となりつつある。

【0003】COB型のメモリセルを有するDRAMの構造を例示すれば、以下の通りである。

【0004】すなわち、COB型のメモリセルを有するDRAMのメモリセルは、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、1個のメモリセル選択用MISFETとこれに直列に接続された1個の情報蓄積用容量素子とで構成されている。メモリセル選択用MISFETは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成されている。ビット線は、メモリセル選択用MISFETの上部に配置され、その延在方向に隣接する2個のメモリセル選択用MISFETによって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用MISFETの上部に配置され、上記ソース、ドレインの他方と電気的に接続されている。メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量（Cs）の減少を補うために、ビット線の上部に配置した情報蓄積用容量素子の下部電極（蓄積電極）を円筒状に加工することによってその表面積を増やし、その上部に容量絶縁膜と上部電極（プレート電極）とを形成している。

【0005】上記メモリセルの構造は、たとえば、特開平7-7084号公報、特願昭62-198043号公報、特願昭63-10635号公報または特開平8-167702号公報等に記載されている。

【0006】

【発明が解決しようとする課題】従来においてDRAMのメモリセルのセル面積を最小とする設計を行えば、情報蓄積用容量素子の下部電極を活性領域あるいは活性領域上の接続プラグに接続する接続孔（以下容量電極接続孔という）パターンとビット線パターンとを最小加工寸法で形成する必要がある。ところが、これらパターンを最小加工寸法で形成するには、加工上の大きな課題がある。以下図面を用いて説明する。図72は、容量電極接続孔の加工上の課題を説明するための断面図であり、ビ

ット線の延在方向に垂直な方向でのメモリセル部の断面を示している。

【0007】つまり、図72（a）に示すように、DRAMのメモリセルが、半導体基板201の主面の分離領域202で囲まれた活性領域203と、活性領域203に形成され、メモリセル選択用MISFETのソース・ドレインとなる半導体領域204と、半導体領域204上に形成された接続プラグ205と、活性領域203上に形成され、上部電極206、容量絶縁膜207および下部電極208からなる情報蓄積用容量素子Cと、接続プラグ205と情報蓄積用容量素子Cとの間に形成されたビット線209とを含む場合、DRAMのメモリセルを最小加工寸法で形成するためには、活性領域203、ビット線209、および、接続プラグ205と下部電極208とを接続する容量電極接続孔210を最小加工寸法で形成する必要がある。ところが、容量電極接続孔210を加工する際のビット線209との合わせ余裕211が十分に確保できず、合わせずれあるいは加工寸法変動による、下部電極208とビット線209との短絡が発生する可能性が生じ、製造歩留りの低下を招く確率が高くなる。

【0008】この問題を回避するため、容量電極接続孔210の加工をビット線209に対して自己整合的に行う方法がある。これは、図72（b）に示すように、ビット線209の上部をシリコン窒化膜212でカバーし、さらにビット線209の側面をシリコン窒化膜のサイドウォールスペーサ213で保護し、容量電極接続孔210パターンによるシリコン酸化膜214、215のエッチングの際に、エッチング条件を調整してシリコン窒化膜のシリコン酸化膜に対する選択比を十分高く設定することによりシリコン窒化膜を削らずにシリコン酸化膜のみをエッチングして、ビット線209の露出を防止する方法である。この方法によれば、容量電極接続孔210のパターンの合わせずれが発生しても下部電極208とビット線209との短絡を防ぐことができる。

【0009】しかしながら、この構造では図72（b）に示すように、ビット線209の厚さに加えてシリコン窒化膜212厚さが必要となり、接続プラグ205からシリコン酸化膜214の表面までの厚さが大きくなる。このため、情報蓄積用容量素子Cまでの高さ216が高くなり、結果としてセル自体の高さが高くなり、周辺回路領域との段差が増大するという新たな課題が発生する。

【0010】本発明の目的は、ビット線の線幅をフォトリソグラフィの加工限界を越えて縮小できる技術を提供することにある。

【0011】また、本発明の他の目的は、メモリセルの高さを大きくすることなく、ビット線と情報蓄積用容量素子の下部電極との短絡を防止することができる半導体集積回路装置の構造および製造方法を提供することにあ

る。

【0012】また、本発明のさらに他の目的は、ビット線容量を低減できる技術を提供し、検出感度が高く、ノイズ耐性に優れた半導体集積回路装置を提供することにある。

【0013】また、本発明のさらに他の目的は、フォトリソグラフィに適した単純な平面パターンを採用した半導体集積回路装置の構造を提供し、加工マージンを向上できる技術を提供することにある。

【0014】また、本発明のさらに他の目的は、DRAMの高集積化に適した半導体集積回路装置の構造および製造方法を提供し、半導体集積回路装置の信頼性、歩留まりおよび性能を向上できる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】(1) 本発明の半導体集積回路装置は、半導体基板または半導体層を有する基板の主面の分離領域と、その分離領域に囲まれた活性領域上にゲート絶縁膜を介して形成され、たとえばDRAMのワード線として機能するゲート電極、ゲート電極下のチャネル領域、チャネル領域を挟んで形成された第1および第2半導体領域を含むメモリセル選択用MISFETと、第1半導体領域に電気的に接続され、たとえばビット線として機能する金属配線と、第2半導体領域に電気的に接続され、金属配線よりも上層に形成された情報蓄積用容量素子とを有する半導体集積回路装置であって、ゲート電極上の何れかの層に形成された第1絶縁膜に配線溝を有し、金属配線が、配線溝に埋め込んで形成されているものである。

【0018】このような半導体集積回路装置によれば、金属配線が、第1絶縁膜に形成された配線溝に埋め込んで形成されているため、金属配線の線幅を金属配線をパターンニングにより形成する場合に比較して細くすることができる。すなわち、第1絶縁膜上に金属膜を堆積し、この金属膜をパターンニングして金属配線を形成するよりも、第1絶縁膜に配線溝をパターンニングにより形成する方が微細加工が容易であり、金属配線の線幅を細く形成できる。

【0019】この結果、金属配線間に形成されることとなる容量電極接続孔の加工により金属配線が露出することなく、情報蓄積用容量素子の下部電極とビット線である金属配線との短絡を防止して半導体集積回路装置の信頼性を向上できる。なお、この容量電極接続孔の加工の際には自己整合的な加工法を採用する必要はなく、前記

したメモリセルの高さが高くなる不都合の発生もない。

【0020】また、金属配線の線幅を細くできることにより金属配線間の間隔を長くでき、金属配線間の容量つまりビット線の容量を低減して、蓄積電荷の検出感度を向上し、またビット線に接続されるトランジスタの応答速度を向上して半導体集積回路装置の性能を向上できる。

【0021】(2) 前記半導体集積回路装置において、金属配線とゲート電極との間の第2絶縁膜に形成された第1接続孔と、第1接続孔内に形成され、第1半導体領域に電気的に接続された導電性の接続プラグとをさらに有し、配線溝の底部において、金属配線の底部と接続プラグの上部とが電気的に接続されているものとすることができる。あるいは、ゲート電極を覆う第3絶縁膜上に、第1半導体領域上の第3絶縁膜に形成された第2接続孔と、第2接続孔を覆う導電膜とをさらに有し、配線溝の底部において、金属配線の底部と導電膜の上部とが電気的に接続されているものとすることができる。

【0022】このような半導体集積回路装置によれば、ビット線である金属配線と第1半導体領域との接続を接続プラグあるいは導電膜を介して行うことができる。

【0023】また、活性領域または金属配線のパターンは、第1方向に延在する直線形状の平面パターンとすることができる。メモリセル面積を最小化するには、活性領域および金属配線を最小加工寸法で形成する必要があることは前記した通りであるが、これらのパターンを単純な直線形状の平面パターンとすることにより、フォトリソグラフィの露光の際の光の干渉を最小限に抑えて加工マージンを増加できる。この結果、半導体集積回路装置の製造歩留まりを向上し、また半導体集積回路装置の信頼性を向上できる。

【0024】また、金属配線と第1半導体領域との接続を接続プラグあるいは導電膜を介して行う場合には、活性領域および金属配線のパターンは、第1方向に延在する直線形状の平面パターンとし、第1方向に垂直な第2方向において、互いのパターン間に挿入されるような平面配置で構成するとともに、接続プラグまたは導電膜を活性領域中央の第1半導体領域から第2方向の金属配線部分まで延在するパターンで配置することができる。このような場合には、活性領域および金属配線のパターンをとともに単純な直線パターンとして加工マージンを向上し、かつ、接続プラグまたは導電膜を用いて第1半導体領域と金属配線とを確実に接続できる。

【0025】なお、これらの場合、配線溝を形成し、これに金属膜を埋め込んで金属配線を形成するため、配線溝の加工の際に接続プラグまたは導電膜の上部を同時に露出させることができ、接続プラグまたは導電膜に接続するための接続孔を形成する必要がない。この結果、接続プラグまたは導電膜を覆う絶縁膜を形成する必要がなく、この膜厚分だけの標高を低くすることが可能とな

る。また、接続プラグまたは導電膜に接続するための接続孔の加工工程を省略して工程を簡略化できる。

【0026】(3) 前記半導体集積回路装置において、活性領域および金属配線は第1方向に延在するほぼ直線的な平面パターンで構成され、活性領域または金属配線の一方または両方に第1方向に垂直な第2方向に張り出した領域を有し、領域の配線溝の下部に形成された第3接続孔を介して金属配線と第1半導体領域とが直接接続されているものとすることができる。すなわち、金属配線の形成と同時に、金属配線と第1半導体領域とを接続する接続部の形成を行うものである。このような場合、接続プラグあるいは導電膜を形成する工程を省略し、工程を簡略化できる。

【0027】(4) 前記(1)～(3)の半導体集積回路装置において、配線溝または第3接続孔の側壁には絶縁体であるサイドウォールスペーサを形成でき、金属配線の幅を、サイドウォールスペーサの厚さの総和に相当する幅だけ配線溝の幅よりも狭くすることができる。

【0028】このような半導体集積回路装置によれば、金属配線の線幅を単に金属配線を配線溝に埋め込んで形成する場合よりもさらに細くすることが可能であり、前記した(1)の効果をさらに確実にかつ顕著に奏することができる。

【0029】なお、この場合の金属配線の表面の標高は、第1絶縁膜の表面の標高よりも低くすることができる。これは、後に説明する金属配線の形成工程においてこれをCMP法を用いて形成する場合に過剰に研磨した場合の金属配線に対応する。すなわち、サイドウォールスペーサは一般に配線溝の上部付近ではその膜厚が薄く、配線溝の底部では膜厚が厚い。このような状況では、金属配線が配線溝の上部つまりサイドウォールスペーサの膜厚が薄い領域にまで形成されていればサイドウォールスペーサによる線幅縮小の効果が顕著に得られなくなる可能性がある。そこで、金属配線の形成の際に十分な過剰研磨を行い、サイドウォールスペーサの幅が十分に厚くなっている領域まで金属配線の研磨するものである。

【0030】また、サイドウォールスペーサは、シリコン酸化膜またはシリコン窒化膜とすることができる。本発明のサイドウォールスペーサにより金属配線の線幅を細くしているため、容量電極接続孔の加工の際には自己整合的な加工法を用いる必要はないことは前記したとおりである。このため、容量電極接続孔を開口する材料としてシリコン酸化膜を用いても、サイドウォールスペーサにシリコン窒化膜を用いる必要はない。しかしながら、シリコン窒化膜を用いた場合には、仮に大きな合わせずれが生じた場合やプロセス条件の変動が生じた場合であっても、容量電極接続孔の加工により金属配線が露出することを避けることができる。一方、サイドウォールスペーサにシリコン酸化膜を用いれば、シリコン酸化

膜の低誘電率に起因してビット線として機能する金属配線の線間容量を低減できる。

【0031】また、前記(1)～(3)の半導体集積回路装置において、配線溝の底部には、第1絶縁膜またはサイドウォールスペーサに対してエッチング選択比を有する第4絶縁膜が形成されてもよい。このような場合、第1絶縁膜への配線溝の形成の際に第4絶縁膜をエッチングストップに用いることができ、また、サイドウォールスペーサの形成の際に第4絶縁膜をエッチングストップに用いることができる。なお、第1絶縁膜またはサイドウォールスペーサはシリコン酸化膜とすることができ、第4絶縁膜はシリコン窒化膜とすることができる。

【0032】(5) 本発明の半導体集積回路装置の製造方法は、導体からなる基板または表面に半導体層を有する基板と、基板の主面の分離領域に囲まれた活性領域上にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極下のチャネル領域と、チャネル領域を挟んで形成された第1および第2半導体領域と、第1半導体領域に電気的に接続された金属配線と、第2半導体領域に電気的に接続され、金属配線よりも上層に形成された情報蓄積用容量素子とを有する半導体集積回路装置の製造方法であって、(a) 基板の主面に分離領域を形成し、さらに絶縁膜および導電膜を順次形成し、絶縁膜および導電膜をパターンニングすることによりゲート絶縁膜およびゲート電極を形成する工程、(b) ゲート電極間に不純物をイオン注入して第1および第2半導体領域を形成する工程、(c) 基板の全面に第1絶縁膜を形成し、第1絶縁膜に配線溝を形成する工程、(d) 配線溝の内部を含む第1絶縁膜上に金属膜を堆積し、配線溝以外の領域の金属膜を除去し、金属配線を形成する工程、(e) 基板の全面を覆う第5絶縁膜を堆積し、第5絶縁膜上に情報蓄積用容量素子を形成する工程、を含むものである。

【0033】このような半導体集積回路装置の製造方法によれば、前記した(1)の半導体集積回路装置を製造できる。また、このような製造方法によれば、従来技術においてメモリセルの標高を高くする要因であった図72(b)におけるシリコン酸化膜215やシリコン窒化膜212を設ける必要がない。この結果、メモリセルの高さを低減することができ、周辺回路領域との段差を小さくして情報蓄積用容量素子の上部に形成される金属配線のパターンニングにおけるフォトリソグラフィマージンを増加し、また、金属配線の断線等の不良を低減できる。

【0034】また、前記(c)工程の前に、基板の全面に第2絶縁膜を形成し、第1および第2半導体領域上の第2絶縁膜に第1接続孔を形成する工程と、第1および第2半導体領域に接続される接続プラグを第1接続孔内に埋め込んで形成する工程とを有し、(c)工程における配線溝の形成により、第1半導体領域に接続される接続プラグの上部または上面を配線溝の底部に露出するこ

とができる。

【0035】このような半導体集積回路装置の製造方法によれば、第1半導体領域と金属配線とを接続する接続プラグを有する半導体集積回路装置を製造でき、また、配線溝の形成と同時に接続プラグとの接続部を形成することが可能となる。このため、接続プラグを露出するための接続孔の形成等の他の工程を省略でき、半導体集積回路装置の製造工程を簡略化できる。

【0036】また、(c)工程の前に、ゲート電極を覆う第3絶縁膜を堆積し、第1半導体領域上の第3絶縁膜に第2接続孔を形成する工程と、第2接続孔の内部を含む第3絶縁膜上に導電膜を堆積し、第2接続孔を覆うように導電膜をパターンニングする工程とを有し、(c)工程における配線溝の形成により、導電膜の一部を配線溝の底部に露出することができる。

【0037】このような半導体集積回路装置の製造方法によれば、第1半導体領域と金属配線とを接続する導電膜を有する半導体集積回路装置を製造でき、またこの方法によっても、配線溝の形成と同時に導電膜との接続部を形成して製造工程を簡略化できる。なお、この方法によれば、前記した接続プラグを形成する工程と比較してCMP法による平坦化工程を少なくできる。すなわち、接続プラグを形成する方法では、接続プラグの形成される接続孔の形成前に絶縁膜を平坦化する必要があるが、本方法の導電膜を形成する方法では、導電膜が形成される絶縁膜は平坦である必要はない。このため導電膜をパターンニングする前の絶縁膜の形成工程においてCMP工程を省略できる。CMP工程では基板全面での平坦性の確保を図る必要から絶縁膜の膜厚を厚くする必要があるが、本方法ではCMP工程が省略されているため、その分の絶縁膜の膜厚の低減を図ることができ、メモリセルの標高を低く抑えることが可能となる。

【0038】また、(c)工程の後、配線溝領域に重複し第1半導体領域を露出する平面パターンを有する第3接続孔を形成する工程を有し、(d)工程における金属膜の堆積の際に金属膜が第3絶縁膜の内部にも形成されるものとすることができる。

【0039】このような半導体集積回路装置の製造方法によれば、金属配線と第1半導体領域とが直接接続された構成の半導体集積回路装置を製造できる。すなわち、金属配線をいわゆるデュアルダマシン法で形成できる。

【0040】なお、接続プラグあるいは導電膜を形成し、配線溝の形成と同時にこれら接続プラグあるいは導電膜の一部を露出する前記の製造方法では、ビット線である金属配線と接続プラグあるいは導電膜とが直接配線溝の底部で接続されるため、接続プラグあるいは導電膜と金属配線とを隔てる絶縁膜が必要でなく、必然的にその絶縁膜に開口する接続孔も必要でない。この結果、絶縁膜が不要になることの帰結としてセル高さを低減し、また、接続孔が不要になることの帰結としてマスク枚数

を低減できる。

【0041】(6)また、本発明の半導体集積回路装置の製造方法は、前記(5)の製造方法において、(d)工程の前に、配線溝または第3接続孔の内部を含む第1絶縁膜上に、配線溝の幅の2分の1よりも薄い膜厚の第6絶縁膜を堆積し、第6絶縁膜を異方性エッチングすることにより、配線溝または第3接続孔の側壁にサイドウォールスペーサを形成する工程を有するものである。

【0042】このような半導体集積回路装置の製造方法によれば、配線溝の側壁にサイドウォールスペーサを形成して金属配線の線幅を小さくすることができる。すなわち、配線溝の加工は第1絶縁膜のフォトリソグラフィのよるエッチング加工で形成されるためフォトリソグラフィの加工限界以下で形成することはできないが、本方法のように配線溝の側壁にサイドウォールスペーサを形成すればサイドウォールスペーサに挟まれた間隔はフォトリソグラフィの加工限界以下となり、この間に埋め込んで形成された金属配線の線幅はその加工限界以下に形成されることとなる。このため、容量電極接続孔の形成の際に十分な加工マージンを確保して半導体集積回路装置の製造歩留まりを向上し、また、信頼性を向上できる。

【0043】なお、金属配線を形成するための金属膜の除去は、CMP法による研磨により行われ、研磨を過剰に行うことによって配線溝内の金属配線の表面にディッシングを発生させることができる。あるいは、金属配線を形成するための金属膜の除去は、CMP法による研磨により行われ、研磨を過剰に行うことによって配線溝上部のサイドウォールスペーサの幅が狭くなっている部分をも金属膜とともに除去することができる。このような場合、サイドウォールスペーサの膜厚の小さい配線溝の上部に金属配線を形成せず、金属配線の線幅を効果的に細くできる。

【0044】なお、前記した製造方法において、ゲート電極と第1絶縁膜との間の何れかの層に、第1絶縁膜または第6絶縁膜に対してエッチング選択比を有する第4絶縁膜を形成し、第1絶縁膜の配線溝の形成の際、または第6絶縁膜の異方性エッチングによるサイドウォールスペーサの形成の際に第4絶縁膜をエッチングストップとして用いることができる。第1および第6絶縁膜としては、シリコン酸化膜を例示でき、第4絶縁膜としてはシリコン窒化膜を例示できる。

【0045】また、前記した製造方法において、(e)工程における情報蓄積用容量素子とその下層の第2半導体領域または第2半導体領域上の接続プラグとを接続する接続孔の加工工程は、第5絶縁膜上に第1および第5絶縁膜に対してエッチング選択比を有する第1被膜を堆積する第1工程、第2半導体領域上の第1被膜に開口を形成する第2工程、開口の口径の2分の1以下の膜厚を有し、第1および第5絶縁膜に対してエッチング選択比

を有する第2被膜を堆積する第3工程、第2被膜を異方性エッチングすることにより開口の内壁に第2被膜のサイドウォールスペーサを形成する第4工程、第1被膜および第2被膜のサイドウォールスペーサをハードマスクとして第5絶縁膜とその下層に存在する絶縁膜とをエッチングする第5工程、を含むことができる。

【0046】このような半導体集積回路装置の製造方法によれば、容量電極接続孔をフォトリソグラフィの加工限界以下の加工寸法で加工することができ、前記した金属配線の配線幅を細くできる方法との相乗効果により情報蓄積用容量素子の下部電極と金属配線（ビット線）との短絡をより確実に防止できる。

【0047】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0048】（実施の形態1）図1は、本発明の一実施の形態であるDRAMを形成した半導体チップ全体の一例を示した平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの主面には、X方向（半導体チップ1Aの長辺方向）およびY方向（半導体チップ1Aの短辺方向）に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンスアンプSAが配置されている。半導体チップ1Aの主面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0049】図2は、本実施の形態1のDRAMの等価回路図である。図示のように、このDRAMのメモリアレイ（MARY）は、マトリクス状に配置された複数のワード線WL（WL0、WL1、WLn…）と複数のビット線BLおよびそれらの交点に配置された複数のメモリセルにより構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積用容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQsとで構成されている。メモリセル選択用MISFETQsのソース、ドレインの一方は、情報蓄積用容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0050】図3は、図1のメモリアレイMARYの一部を拡大した平面図である。なお、この平面図および以下の平面図では部材を構成するパターンの形状を示し、実際の部材の形状を表すものではない。メモリアレイMARYには、活性領域L1が配置され、Y方向にワード線WLが、X方向にビット線BLが形成されている。ワード線WLと活性領域L1との重なる領域では、ワード

線WLは、メモリセル選択用MISFETQsのゲート電極として機能する。ワード線WLのゲート電極として機能する領域に挟まれた活性領域L1の領域、つまり活性領域L1の中央部分にはビット線BLに接続する接続プラグBPが形成されている。接続プラグBPは活性領域L1とビット線BLにまたがるようにY方向に長い形状を有しており、活性領域L1の中央部分とビット線とは接続プラグBPを介して接続される。活性領域L1の両端領域は容量電極接続孔SNC Tを介して情報蓄積用容量素子Cに接続される。

【0051】本実施の形態においては、ビット線BLと活性領域L1とは、X方向に延在した直線形状で形成されている。このように直線形状で形成されるため、ビット線BLおよび活性領域L1の加工の際のフォトリソグラフィにおいて露光光の干渉を少なくし、加工マージンを向上できる。また、ビット線BLと活性領域L1はフォトリソグラフィの加工限界で形成されるが、ビット線BLはその加工限界よりも細く形成されている。このため、容量電極接続孔SNC Tの加工マージンを向上して半導体集積回路装置の信頼性を向上できる。また、ビット線BL間の距離を増加してビット線容量を低減し半導体集積回路装置の性能を向上できる。

【0052】図4は、本実施の形態のDRAM領域のメモリセルの部分（A領域）と周辺回路の一部（B領域）について示した断面図であり、図3におけるC-C線断面を示す。図5は、DRAM領域のメモリセルの部分について示した断面図であり、（a）は図3におけるA-A線断面を、（b）は図3におけるD-D線断面を、

（c）は図3におけるB-B線断面を示す。なお、本実施の形態では0.18 μm の設計ルールでの製造技術を例示する。

【0053】半導体基板1の主面には、A領域のp形ウエル2、B領域のp形ウエル3およびn形ウエル4が形成されている。半導体基板1は、たとえば10 $\Omega \cdot \text{cm}$ の抵抗率のp形の単結晶シリコンからなる。また、p形ウエル2の主面にはしきい値電圧調整層5が形成され、p形ウエル2を囲むようにn形のディープウエル6が形成されている。なお、他の各ウエルにも、しきい値電圧調整層が形成されていてもよい。

【0054】各ウエルの主面には、分離領域7が形成されている。分離領域7はシリコン酸化膜からなり、半導体基板1の主面に形成された浅溝8に埋め込んで形成される。浅溝8は、たとえば0.3 μm の深さを有し、内壁には熱酸化されたシリコン酸化膜が形成されてもよい。

【0055】p形ウエル2の主面にはDRAMのメモリセル選択用MISFETQsが形成されている。また、p形ウエル3およびn形ウエル4の主面には各々nチャネルMISFETQnおよびpチャネルMISFETQpが形成されている。

【0056】メモリセル選択用MISFETQsは、p

形ウェル2の主面上にゲート絶縁膜10を介して形成されたゲート電極11と、ゲート電極11の両側のp形ウェル2の主面に形成された半導体領域12とを有する。

【0057】ゲート絶縁膜10は、たとえば7~8nmの膜厚を有する熱酸化により形成されたシリコン酸化膜からなる。

【0058】ゲート電極11は、たとえば50nmの膜厚の多結晶シリコン膜と100nmの膜厚のタングステンシリサイド(WSi_2)膜との積層膜とすることができる。多結晶シリコン膜には、たとえばリン(P)を $3 \times 10^{20} \text{ atoms/cm}^3$ 程度導入することができる。なお、タングステンシリサイド膜に限られず、コバルトシリサイド($CoSi$)膜、チタンシリサイド($TiSi$)膜等の他のシリサイド膜であってもよい。また、ゲート電極11は、たとえば膜厚70nmの多結晶シリコン膜、膜厚50nmの窒化チタン膜および膜厚100nmのタングステン膜の積層膜とすることもできる。

【0059】半導体領域12にはn形の不純物、たとえば砒素(As)またはリンが導入されている。

【0060】メモリセル選択用MISFETQsのゲート電極11の上層にはシリコン窒化膜からなるキャップ絶縁膜13が形成され、さらにその上層をシリコン窒化膜14で覆われる。キャップ絶縁膜13の膜厚はたとえば200nmであり、シリコン窒化膜14の膜厚はたとえば30nmである。シリコン窒化膜14は、ゲート電極11の側壁にも形成され、後に説明する接続孔を形成する際の自己整合加工に利用される。なお、メモリセル選択用MISFETQsのゲート電極11は、DRAMのワード線として機能するものであり、分離領域7の上にはワード線WLの一部が形成されている。

【0061】一方、nチャネルMISFETQnおよびpチャネルMISFETQpは、各々p形ウェル3およびn形ウェル4の主面上に形成され、ゲート絶縁膜10を介して形成されたゲート電極11と、ゲート電極11の両側の各ウェルの主面に形成された半導体領域15とから構成される。ゲート絶縁膜10およびゲート電極11は前記と同様である。半導体領域15は低濃度不純物領域15aと高濃度不純物領域15bとからなり、いわゆるLDD(Lightly Doped Drain)構造を形成している。半導体領域15に導入される不純物は、MISFETの導電形に応じてn形またはp形の不純物が導入される。

【0062】nチャネルMISFETQnおよびpチャネルMISFETQpのゲート電極11の上層にはシリコン窒化膜からなるキャップ絶縁膜13が形成され、さらにその上層およびゲート電極11とキャップ絶縁膜13との側壁がシリコン窒化膜14で覆われる。キャップ絶縁膜13とシリコン窒化膜14は前記と同様である。

【0063】メモリセル選択用MISFETQs、nチャネルMISFETQnおよびpチャネルMISFET

Qpのゲート電極11間のギャップには、絶縁膜16が埋め込まれている。絶縁膜16は、たとえばSOG(Spin On Glass)膜、TEOS(テトラメトキシシラン)を原料ガスとしプラズマCVD法により形成されたシリコン酸化膜(以下TEOS酸化膜という)がCMP(Chemical Mechanical Polishing)法により平坦化されたTEOS酸化膜およびTEOS酸化膜の積層膜とすることができる。

【0064】絶縁膜16上には配線形成用の絶縁膜17が形成されている。絶縁膜17は、たとえばTEOS酸化膜とすることができる。

【0065】絶縁膜17には、配線溝18が形成され、配線溝18の側壁にはサイドウォールスペーサ19が形成されている。配線溝18は後に説明するようにフォトリソグラフィによる加工限界で形成される。また、サイドウォールスペーサ19は、たとえばシリコン窒化膜で構成される。サイドウォールスペーサ19はシリコン酸化膜で構成されてもよい。

【0066】サイドウォールスペーサ19で挟まれた配線溝18の内部には、ビット線BLおよび第1層配線20が形成される。ビット線BLおよび第1層配線20は後に説明するようにCMP法を用いて同時に形成される。ビット線BLおよび第1層配線20は、たとえばタングステン膜から構成されるが、他の金属、たとえば銅膜等を用いてもよい。

【0067】このように、配線溝18内に埋め込んでビット線BLが形成されるため、後に説明する情報蓄積用容量素子Cまでの層間高さを小さくすることができる。すなわち、ビット線BLを金属膜のフォトリソグラフィによるパターンニングを用いて形成しようとするれば、後に説明する接続プラグとビット線BLとを絶縁する絶縁膜が必要であるが、本実施の形態の場合にはそれが不要でない。このため、その絶縁膜の膜厚に相当するだけの層間幅を小さくして素子高さを低減できる。

【0068】また、配線溝18の内壁にサイドウォールスペーサ19が形成されるため、ビット線BLの幅を小さくすることができる。すなわち、サイドウォールスペーサ19の幅に相当するだけ配線溝18の幅を狭くして、そこに形成されるビット線BLの線幅を細くできる。これは、ビット線BLの線幅をフォトリソグラフィによる加工限界以下の加工精度で形成できることを意味する。このため、後に説明する情報蓄積用容量素子Cと接続プラグとを接続する容量電極接続孔の加工の際に加工マージンを大きくして、容量電極接続孔の加工パターンの合わせずれが発生しても、情報蓄積用容量素子Cとビット線BLとの短絡に起因する不良を発生しない。この結果DRAMの信頼性および製品の歩留まりを向上できる。

【0069】また、容量電極接続孔の加工マージンを大きくとれるため、従来採用していたような容量電極接続

孔の加工の際のビット線BLに対する自己整合加工を採用する必要がない。このため、自己整合加工に必要なビット線BLのキャップ絶縁膜が不要であり、このためキャップ絶縁膜の膜厚に相当するだけ素子の高さを低減できる。この結果、先の素子高さの低減効果とも併せてメモリセル領域(A領域)と周辺回路領域(B領域)との段差を低減し、あるいはB領域の絶縁膜厚さを低減し、段差に起因する第2層以上の配線の加工性の向上とその断線の防止を図ることができ、あるいは第2層配線とその下層の配線等への接続孔の加工性を向上できる。

【0070】また、ビット線BLの線幅が細く形成できることから、ビット線BL間の距離を大きくしてビット線BL間の線間容量を低減できる。この結果、センスアンプの検出感度を向上してノイズ耐性を向上し、DRAMの性能を向上できる。

【0071】なお、ビット線BLは配線溝18が形成された絶縁膜17の表面の標高よりも低く形成されている。これは、サイドウォールスペーサ19の上部付近における膜厚が図示するとおり薄くなる傾向にあり、このような場合、サイドウォールスペーサ19の上部付近にまでビット線BLを形成したのではビット線BLの線幅縮小の効果が十分に得られない恐れがある。そのため、後に説明するようにビット線BLおよび第1層配線20の形成の際にCMP法による研磨を過剰に行い、故意にディッシングを発生させてビット線BLの線幅を十分に細く形成したものである。これによりビット線BLの線幅縮小の効果を確実に奏することができる。

【0072】ビット線BLは接続プラグ21を介して一対のメモリセル選択用MISFETQsに共有される半導体領域12に接続される。接続プラグ21は図3の平面図にも示されるように、活性領域L1のパターンとビット線BLのパターンに重なるようにY方向に長く形成される。なお、ビット線BLと接続プラグ21とは配線溝18の底部で接続されている。これは、後に説明するように配線溝18の形成の際に接続プラグ21の上部が同時に露出されることに基ずく。

【0073】また、メモリセル選択用MISFETQsの他方の半導体領域12上には情報蓄積用容量素子に接続される接続プラグ22が形成されている。接続プラグ21、22は、n形の不純物たとえばリンが 2×10^{20} atoms/cm³ 程度導入された多結晶シリコン膜とすることができる。

【0074】なお、周辺回路領域(B領域)に形成されたnチャネルMISFETQnおよびpチャネルMISFETQpの高濃度不純物領域15bにはビット線BLが直接接続される。このようにビット線BLを高濃度不純物領域15bに直接接続することにより接続プラグを形成した場合に比較して接続プラグの抵抗および接続抵抗を低減し、nチャネルMISFETQnおよびpチャネルMISFETQpの動作速度を向上できる。なお、

高濃度不純物領域15bの表面にはコバルト、チタン、タンタル、タングステン等のシリサイド膜を形成できる。

【0075】ビット線BLおよび第1層配線20は、層間絶縁膜23で覆われている。層間絶縁膜23は、たとえばTEOS酸化膜とすることができる。

【0076】層間絶縁膜23の上層のA領域には、シリコン窒化膜からなる絶縁膜24が形成され、さらに情報蓄積用の情報蓄積用容量素子Cが形成されている。絶縁膜24は後に説明するように情報蓄積用容量素子Cの下部電極27を形成する際のエッチングストップパとして機能する薄膜である。

【0077】情報蓄積用容量素子Cは、接続プラグ22に接続プラグ25を介して接続される下部電極27と、たとえばシリコン窒化膜および酸化タンタルからなる容量絶縁膜28と、たとえば窒化チタンからなるプレート電極29とから構成される。接続プラグ25は容量電極接続孔26内に形成され、容量電極接続孔26は前記したとおりビット線BLから十分に離れて形成されるため、ビット線BLと接続プラグ25とが短絡する恐れはない。

【0078】情報蓄積用容量素子Cの上層には、たとえばTEOS酸化膜からなる絶縁膜30が形成されている。なお、B領域の層間絶縁膜23の上層には情報蓄積用容量素子Cと同層に絶縁膜が形成されてもよい。この絶縁膜により、情報蓄積用容量素子Cの標高に起因するA領域とB領域との間の段差の発生を防止することができ、フォトリソグラフィの焦点深度に余裕を持たせることができ、工程を安定にして微細加工に対応することができる。

【0079】絶縁膜30の上層には第2層配線31が形成され、第2層配線31と上部電極29あるいは第1層配線20との間はプラグ32で接続される。第2層配線31は、たとえば窒化チタン膜、アルミニウム膜および窒化チタン膜の積層膜とすることができ、プラグ32は、たとえばチタン膜、窒化チタン膜およびタングステン膜の積層膜とすることができ、

【0080】なお、第2層配線31上にはさらに層間絶縁膜を介して第3層配線あるいはそれ以上の配線層を有してもよいが、説明を省略する。

【0081】本実施の形態1のDRAMによれば、前記したとおり、ビット線BLを配線溝18内に埋め込んで形成し、また配線溝18の側壁にサイドウォールスペーサ19を形成するため、ビット線BLの線幅を細くできる。これにより容量電極接続孔26の加工を十分な加工マージンをもって行うことができ、接続プラグ25とビット線BLとの短絡を防止できる。また、情報蓄積用容量素子Cの形成される高さを低減することが可能となる。さらに、ビット線BL間の線間容量を低減してDRAMの性能を向上できる。

【0082】次に、本実施の形態1のDRAMの製造方法を図面を用いて説明する。図6～図42は本実施の形態1のDRAMの製造方法の一例を工程順に示した断面図または平面図である。なお、特に示さない限り断面図は図3におけるC-C線断面および周辺回路部分の断面を示す。

【0083】まず、たとえば $10\Omega\cdot\text{cm}$ 程度の抵抗率を有するp形の半導体基板1を用意し、この半導体基板1の主面に深さがたとえば $0.3\mu\text{m}$ の浅溝8を形成する。その後半導体基板1に熱酸化を施し、シリコン酸化膜を形成してもよい。さらにシリコン酸化膜を堆積してこれをCMP法により研磨して浅溝8内にもシリコン酸化膜を残し、分離領域7を形成する。

【0084】なお、このときの分離領域7で囲まれる活性領域L1のパターンは、図6(a)に示されるように、直線状の平面パターンである。このため、フォトリソグラフィによる浅溝8の加工において、露光光の干渉等の加工精度の低下要因を極力排除して、フォトリソグラフィの加工限界付近でも精度よく加工を行うことができる。

【0085】次に、フォトレジストをマスクにして加速エネルギー 2300keV 、ドーズ量 $1\times 10^{13}/\text{cm}^2$ のリンイオンを注入してディープウェル6を形成する。次に、フォトレジストをマスクにして加速エネルギー 1000keV のリンイオンをドーズ量 $1\times 10^{13}/\text{cm}^2$ 、加速エネルギー 460keV のリンイオンをドーズ量 $3\times 10^{12}/\text{cm}^2$ 、加速エネルギー 180keV のリンイオンをドーズ量 $5\times 10^{11}/\text{cm}^2$ の条件で重ねてイオン注入し、n形ウェル4を形成する。さらにフォトレジストをマスクにして加速エネルギー 500keV のボロンイオンをドーズ量 $1\times 10^{13}/\text{cm}^2$ 、加速エネルギー 150keV のボロンイオンをドーズ量 $3\times 10^{12}/\text{cm}^2$ 、加速エネルギー 50keV のボロンイオンをドーズ量 $5\times 10^{11}/\text{cm}^2$ の条件で重ねてイオン注入し、p形ウェル2, 3を形成する(図6(b))。さらに半導体基板1の全面に、加速エネルギー 70keV の2沸化ボロン(BF_2)イオンをドーズ量 $1.5\times 10^{12}/\text{cm}^2$ の条件でイオン注入してもよい。

【0086】次に、p形ウェル2, 3、n形ウェル4が形成された活性領域に熱酸化法によりゲート絶縁膜10を形成し、さらに、DRAMのメモリセル領域(A領域)が開口したフォトレジストをマスクとして、加速エネルギー 20keV のボロンイオンをドーズ量 $3\times 10^{12}/\text{cm}^2$ の条件でイオン注入し、メモリセル選択用MISFETQsのしきい値電圧調整層5を形成する(図7)。しきい値電圧調整層5によりメモリセル選択用MISFETQsのしきい値電圧を 0.7V 程度に調整できる。

【0087】次に、半導体基板1の全面に、たとえば不純物としてリンが $3\times 10^{20}/\text{cm}^3$ の濃度で導入され

た多結晶シリコン膜を 50nm の膜厚で形成し、次に、たとえば 100nm の膜厚でタングステンシリサイド膜を堆積する。さらにシリコン窒化膜をたとえば 200nm の膜厚で堆積する。多結晶シリコン膜およびシリコン窒化膜は、たとえばCVD(Chemical Vapor Deposition)法により、タングステンシリサイド膜はスパッタ法により形成できる。その後、シリコン窒化膜、タングステンシリサイド膜および多結晶シリコン膜をフォトリソグラフィ技術およびエッチング技術を用いてパターンングし、ゲート電極11(ワード線WL)およびキャップ絶縁膜13を形成する(図8(b))。このときのワード線WL(キャップ絶縁膜13も同様である。)のパターンを図8(a)に示す。ワード線WLは、直線状にパターンングされており、フォトリソグラフィがその加工限界においても容易に行うことができることがわかる。

【0088】次に、キャップ絶縁膜13およびゲート電極11とフォトレジストをマスクとして、メモリセルが形成される領域(A領域)および周辺回路領域(B領域)のnチャネルMISFETQnが形成される領域に不純物たとえばヒ素(As)またはリンをイオン注入し、半導体領域12およびnチャネルMISFETQnの低濃度不純物領域15aを形成する。その後、周辺回路領域(B領域)のpチャネルMISFETQpが形成される領域に不純物たとえばボロン(B)をイオン注入し、pチャネルMISFETQpの低濃度不純物領域15aを形成する(図9)。

【0089】次に、半導体基板1の全面にシリコン窒化膜14を、たとえば 30nm の膜厚で堆積する。なお、メモリセルが形成される領域(A領域)にのみ形成されたフォトレジスト膜をマスクとして、シリコン窒化膜14を異方性エッチングし、A領域の半導体基板1上にもシリコン窒化膜14を残存させると同時にB領域のゲート電極11の側壁にサイドウォールスペーサを形成してもよい。

【0090】次に、メモリセルが形成される領域(A領域)および周辺回路領域(B領域)のnチャネルMISFETQnが形成される領域にフォトレジスト膜を形成し、このフォトレジスト膜とシリコン窒化膜14をマスクにして不純物たとえばボロンをイオン注入し、pチャネルMISFETQpの高濃度不純物領域15bを形成し、さらに、メモリセルが形成される領域(A領域)および周辺回路領域(B領域)のpチャネルMISFETQpが形成される領域にフォトレジスト膜を形成し、このフォトレジスト膜とシリコン窒化膜14をマスクにして不純物たとえばリンをイオン注入し、nチャネルMISFETQnの高濃度不純物領域15bを形成しおよびを形成する(図10)。

【0091】次に、たとえば膜厚が 400nm のシリコン酸化膜をCVD法により形成し、さらにこのシリコン酸化膜をCMP(Chemical Mechanical Polishing)法

により研磨して平坦化し、絶縁膜 16 を形成する。

【0092】この後、図 11 に示すような接続プラグ 21 および接続プラグ 22 のパターンに相当する接続孔を開口し、プラグインブラを施した後に不純物がドーパされた多結晶シリコン膜を堆積し、この多結晶シリコン膜を CMP 法により研磨して接続プラグ 21、22 を形成する（図 12）。なお、図 12 において、（a）は図 3 における C-C 線断面および周辺回路部分の断面を示し、（b）は図 3 における A-A 線断面を、（c）は図 3 における D-D 線断面を、（d）は図 3 における B-B 線断面を示す。以下、図 13、14、16、17、19、20、22、23、25～27 において同様である。

【0093】プラグインブラは、たとえばリンイオンを加速エネルギー 50 keV 、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ とすることができる。また、多結晶シリコン膜への不純物の導入は、たとえば CVD 法により濃度 $2 \times 10^{20} / \text{cm}^3$ のリンを導入して行うことができる。なお、この接続孔は、2 段階のエッチングにより開口して半導体基板 1 の過剰エッチングを防止することができる。また、

接続プラグ 21、22 の形成はエッチバック法により形成することもできる。

【0094】次に、配線形成用の絶縁膜 17 を形成する（図 13）。絶縁膜 17 は、たとえば CVD 法によるシリコン酸化膜とすることができ、膜厚は、たとえば 200 nm とする。

【0095】次に、絶縁膜 17 に深さが 200 nm の配線溝 18 を形成する（図 14）。配線溝 18 は、フォトリソグラフィの加工限界で形成され、たとえば $0.18 \mu\text{m}$ の溝幅で形成される。図 15 にその平面パターンを示す。配線溝 18 は直線形状のパターンで形成されるため、フォトリソグラフィの加工限界においても十分な加工精度で形成できる。

【0096】次に、配線溝 18 を覆う絶縁膜 33 を半導体基板 1 の全面に堆積する（図 16）。絶縁膜 33 は、たとえば CVD 法により形成されたシリコン酸化膜あるいはシリコン窒化膜とすることができ、その膜厚は、たとえば 60 nm とする。

【0097】次に、絶縁膜 33 を異方性エッチングすることにより、配線溝 18 の側壁にサイドウォールスペーサ 19 を形成する（図 17）。サイドウォールスペーサ 19 の厚さは、絶縁膜 33 の厚さで規定され、ほぼ 60 nm である。このように、サイドウォールスペーサ 19 を形成するため、配線溝 18 の溝幅をサイドウォールスペーサ 19 の厚さに相当するだけ狭くすることができる。すなわち、フォトリソグラフィの加工限界である $0.18 \mu\text{m}$ で加工される配線溝 18 の幅を、厚さ 60 nm のサイドウォールスペーサ 19 に挟まれた幅である 60 nm まで狭くすることができる。これは、後に説明するビット線 BL の幅をフォトリソグラフィの加工限界であ

る $0.18 \mu\text{m}$ よりも細い 60 nm で形成できることを意味する。

【0098】なお、この異方性エッチング工程により、絶縁膜 16 の一部が過剰にエッチングされ、配線溝 18 が若干深く形成されるが、これにより接続プラグ 21 の表面を確実に露出することができる（図 17（b））。これにより接続プラグ 21 とビット線 BL との接続を信頼性よく行える。また、配線溝 18 の加工およびサイドウォールスペーサ 19 の加工により、接続プラグ 21 との接続部の露出が同時に行える。従来法では、ビット線と接続プラグとを接続する接続孔を加工した後にビット線の形成を行っていたが、本実施の形態の方法では、このような接続孔の加工工程が不要である。このため工程を簡略化できる。さらに、サイドウォールスペーサ 19 の加工の際の過剰エッチングにより、配線溝 18 が若干深く形成されるため、ビット線 BL の高さを高くしてその断面積を大きくすることができる。このビット線 BL の断面積を増加する効果は、後に説明するように、ビット線 BL と周辺回路の第 1 層配線 20 とが同時に形成されるため、第 1 層配線 20 の抵抗値の低減効果としても同時に得られる。このためビット線 BL および第 1 層配線 20 の抵抗値を低減して DRAM の性能を向上できる。

【0099】次に、周辺回路領域（B 領域）の高濃度不純物領域 15b 上に開口を有するフォトレジスト膜をマスクとして、接続孔 34 を形成する（図 18）。接続孔 34 は、後に説明する第 1 層配線 20 を直接高濃度不純物領域 15b に接続するためのものであり、これにより周辺回路領域（B 領域）での配線抵抗を低減して DRAM の性能を向上できる。なお、接続孔 34 が形成される領域にはあらかじめ接続プラグを形成していてもよい。

【0100】次に、たとえばスパッタ法により、膜厚が 300 nm のタングステン膜 35 を半導体基板 1 の全面に形成する（図 19）。ここでは、タングステン膜 35 を例示しているが、他の金属膜、たとえば銅膜等を用いてもよい。ただし、半導体基板 1 への金属原子の熱拡散による信頼性の低下を考慮すれば、金属膜は高融点金属であることが好ましい。たとえばモリブデン、タンタル、ニオブ等を例示できる。

【0101】次に、タングステン膜 35 を、たとえば CMP 法により研磨し、配線溝 18 およびサイドウォールスペーサ 19 の上部以外のタングステン膜 35 を除去し、ビット線 BL および第 1 層配線 20 を形成する（図 20）。このときのビット線 BL の平面パターンを図 21 に示す。ビット線 BL はサイドウォールスペーサ 19 に挟まれた配線溝 18 に形成され、その配線幅は約 60 nm である。

【0102】なお、第 1 層配線 20 と高濃度不純物領域 15b との接続部は、前記タングステン膜 35 の形成工程において接続孔 34 の内部にもタングステン膜 35 が

埋め込まれるため、本工程で同時に形成される。

【0103】また、このタングステン膜35の研磨工程において、CMP法による研磨を過剰に行い、タングステン膜35の表面を配線溝18が形成される絶縁膜17の表面よりも、つまりサイドウォールスペーサ19の上端部よりも低く形成できる。このように、タングステン膜35の表面を低く形成するため、ビット線BLの線幅縮小の効果を有効に奏することができる。すなわち、サイドウォールスペーサ19の上端部は図20(c)等に示すように一般に薄くなる。このような場合に、サイドウォールスペーサ19の上端部にまでビット線BLを形成すると、ビット線BLの下部の線幅が十分に細くなっているにもかかわらず、ビット線BLの上部の線幅が太くなり、その線幅縮小の効果を十分に発揮できない。そこで、本実施の形態では、CMP法による研磨を過剰に行い、ビット線BLおよび第1層配線20の形成される領域に積極的にディッシングを発生させて、その表面をサイドウォールスペーサ19の上端部よりも低く形成させている。なお、CMP法による研磨条件を調整し、配線溝18が形成される絶縁膜17およびサイドウォール

スペーサ19をタングステン膜35と同時に研磨して除去してもよい。

【0104】なお、タングステン膜35の除去にはエッチバック法を用いることもできる。

【0105】次に、半導体基板1の全面に、たとえばCVD法によりシリコン酸化膜を堆積し、このシリコン酸化膜をCMP法により研磨して平坦化し、層間絶縁膜23を形成する(図22)。

【0106】次に、半導体基板1の全面にシリコン窒化膜24および多結晶シリコン膜36を堆積する(図23)。多結晶シリコン膜36には、たとえば $3 \times 10^{20} / \text{cm}^3$ の濃度のリンを導入でき、その膜厚はたとえば100nmである。

【0107】次に、図24に示すようなSNCTのパターンで、多結晶シリコン膜36に開口37を形成する。開口37の口径はたとえば $0.22 \mu\text{m}$ である。その後、半導体基板1の全面に多結晶シリコン膜36と同様の多結晶シリコン膜を膜厚70nmで堆積し、これを異方性エッチングして開口37の側壁にサイドウォールスペーサ38を形成する(図25)。サイドウォールスペーサ38の幅は約70nmとなり、開口37の口径はサイドウォールスペーサ38により80nmに縮小される。

【0108】次に、多結晶シリコン膜36およびサイドウォールスペーサ38をハードマスクとしてエッチングを行い、容量電極接続孔26を形成する(図26)。容量電極接続孔26の口径は80nmであり、その深さは約300nmである。

【0109】このように容量電極接続孔26の口径を小さく形成できるため、開口37を形成するためのマスクに合わせずれが発生しても、ビット線BLと接触するこ

とがない。また、ビット線BLの線幅が十分にひらいているため、その効果がより確実に発揮される。

【0110】次に、容量電極接続孔26を埋め込む多結晶シリコン膜を堆積し、この多結晶シリコン膜、多結晶シリコン膜36およびサイドウォールスペーサ38をCMP法またはエッチバック法により除去して容量電極接続孔26の内部に接続プラグ25を形成する(図27)。前記したとおり、接続プラグ25とビット線BLとが短絡されることはない。接続プラグ25には、たとえば $3 \times 10^{20} / \text{cm}^3$ の濃度のリンを導入できる。なお、多結晶シリコン膜、多結晶シリコン膜36およびサイドウォールスペーサ38の際には、シリコン窒化膜24をCMP法またはエッチバック法のエッチストップ膜として機能させることができる。

【0111】次に、たとえばCVD法によりシリコン酸化膜からなる絶縁膜39を堆積し、情報蓄積用容量素子Cが形成される領域に溝40を形成する(図28、図29、図30)。なお、図29において(a)は図3におけるA-A線断面を、(b)は図3におけるD-D線断面を、(c)は図3におけるB-B線断面を示す。以下、図32、34、36、38、40、42において同様である。

【0112】絶縁膜39の堆積はプラズマCVDにより行うことができ、その膜厚はたとえば $1.2 \mu\text{m}$ とする。

【0113】次に、溝40を覆う多結晶シリコン膜41を半導体基板1の全面に堆積し(図31、32)、さらに半導体基板1の全面にシリコン酸化膜42を堆積する(図33、34)。多結晶シリコン膜41にはリンをドーピングすることができ、その膜厚は $0.03 \mu\text{m}$ とすることができる。多結晶シリコン膜41の膜厚が溝40の寸法に対して十分に薄いため、多結晶シリコン膜41は溝40の内部にもステップカバレッジよく堆積される。シリコン酸化膜42は、溝40の内部に埋め込まれるように堆積する。溝40の内部への埋め込み性を考慮すれば、シリコン酸化膜42はSOG膜あるいはTEOSを用いたCVD法によるシリコン酸化膜とすることができる。

【0114】次に、絶縁膜39上のシリコン酸化膜42および多結晶シリコン膜41を除去して、情報蓄積用容量素子Cの下部電極27を形成する(図35、36)。シリコン酸化膜42および多結晶シリコン膜41の除去はエッチバック法またはCMP法により行うことができる。また、下部電極27の内部には、シリコン酸化膜42が残存している。

【0115】次に、ウェットエッチングを施し、絶縁膜39およびシリコン酸化膜42を除去する(図37、38)。これにより下部電極27が露出される。なお、周辺回路領域(B領域)にフォトレジスト膜を形成し、これをマスクとしてB領域に絶縁膜39を残存させてもよい。

【0116】なお、シリコン窒化膜24はウェットエ

チング工程でのエッチングストップとして機能する。

【0117】次に、下部電極27表面を窒化または酸化処理した後、酸化タンタル膜を堆積し容量絶縁膜28を形成する。酸化タンタル膜の堆積は、有機タンタルガスを原料としたCVD法により形成できる。この段階での酸化タンタル膜はアモルファス構造を有するものである。ここで酸化タンタル膜に熱処理を施して結晶化（多結晶化）された酸化タンタル膜（ Ta_2O_5 ）とし、より強固な誘電体として容量絶縁膜28を形成してもよい。また、容量絶縁膜28はシリコン酸化膜に換算して5nmの膜厚のシリコン窒化膜としてもよい。さらに、たとえば窒化チタン膜43をCVD法により堆積する（図39、40）。

【0118】その後、フォトリソ膜を用いて窒化チタン膜および多結晶酸化タンタル膜をパターンニングし、容量絶縁膜28およびプレート電極29を形成する。このようにして下部電極27、容量絶縁膜28およびプレート電極29からなる情報蓄積用容量素子Cが形成される。さらに半導体基板1の全面に絶縁膜30を形成する（図41、42）。なお、プレート電極29は、窒化チタン膜に代えて、たとえば $4 \times 10^{20}/cm^3$ の濃度のリンを含む多結晶シリコン膜としてもよい。

【0119】次に、絶縁膜30に接続孔を形成し、その接続孔を含む絶縁膜30上に、たとえばチタン膜、窒化チタン膜およびタングステン膜を順次堆積し、これをCMP法またはエッチバック法により除去してプラグ32を形成し、この後、絶縁膜30上にたとえば窒化チタン膜、アルミニウム膜および窒化チタン膜からなる積層膜を堆積し、これをパターンニングして第2層配線31を形成する。これにより図4および図5に示すDRAMをほぼ完成する。さらに上層の配線層は第2層配線31と同様に形成できるため、その詳細な説明は省略する。

【0120】本実施の形態のDRAMによれば、ビット線BLの線幅が80nm、容量電極接続孔26の直径が80nmに形成することができ、両者の合わせ余裕を0.15 μm と0.2 μm 製造技術では十分に大きな余裕を確保することができる。これによって、セル面積が $0.4 \times 0.8 = 0.32 \mu m^2$ という微細なDRAMセルを加工上の問題なく製造することが可能である。また、接続プラグ21、22の上面から情報蓄積用容量素子Cの下部電極27の下面までの距離はわずかに0.3 μm に抑えることができ、結果的に基板表面からプレート電極29の上面までのセルの高さを低くできる。

【0121】なお、本実施の形態1では、図17に示す工程において、サイドウォールスペーサ19の加工の際のエッチングを過剰に行い、配線溝18の底部を深く形成する場合を説明したが、図43に示すように、過剰なエッチングを行わず、配線溝18の深さを絶縁膜17の膜厚程度に止めることができる。この場合であっても、図44に示すように、接続プラグ21の表面が配線溝1

8の底部で露出する限り、ビット線BLと接続プラグ21との接続が行われ、DRAMを正常に機能させることができる。

【0122】また、配線溝18が形成される絶縁膜17の底部にシリコン窒化膜を形成することも可能である。すなわち、図45に示すように、絶縁膜16を形成した後、シリコン窒化膜44を形成し、シリコン窒化膜44と絶縁膜17に接続孔を形成してこの接続孔に接続プラグ21、22を形成する。この後、前記図13～17の工程と同様に絶縁膜17に配線溝18を形成し（図46）、さらにサイドウォールスペーサ19を形成する（図47）。この場合、シリコン窒化膜44が形成されているため、配線溝18の加工の際のエッチング、あるいはサイドウォールスペーサ19の加工の際のエッチングにおいてシリコン窒化膜44をエッチングストップとして機能させることができる。

【0123】（実施の形態2）図48は、実施の形態2のDRAMのメモリアレイMARYの一部を拡大した平面図である。また、図49は、本実施の形態のDRAM領域のメモリセルの部分（A領域）と周辺回路の一部（B領域）について示した断面図であり、図48におけるC-C線断面を示す。図50は、DRAM領域のメモリセルの部分について示した断面図であり、（a）は図48におけるA-A線断面を、（b）は図48におけるD-D線断面を、（c）は図48におけるB-B線断面を示す。

【0124】本実施の形態2のDRAMは、実施の形態1におけるDRAMと、そのビット線BLと半導体領域12との接続部分において相違するのみであり、他の構成についてはほぼ同様である。したがって、その相違する部分についてのみ以下に説明し、同様の構成部分については説明を省略する。

【0125】本実施の形態2のDRAMでは、活性領域L1の中央部分の半導体領域12とビット線BLとが実施の形態1の接続プラグ21を介して接続されず、ビット線BLと一体に形成される接続部BLCにおいて直接半導体領域12と接続される。したがって、ビット線BLの平面パターンと活性領域L1の平面パターンとは、その平行位置にずれが存在するため、互いに重複した領域を確保するために図48に示すように、活性領域L1においてはビット線BLの方向に突き出した張り出し領域L11を有し、ビット線BLにおいては接続部BLCが活性領域L1の方向に張り出して形成される。

【0126】次に、本実施の形態2のDRAMの製造方法を説明する。図51～図60は、本実施の形態2のDRAMの製造方法の一例を工程順に示した断面図または平面図である。なお、断面図において、（a）は図48におけるC-C線断面および周辺回路部分の断面を示し、（b）は図48におけるA-A線断面を、（c）は図48におけるD-D線断面を、（d）は図48におけ

10

20

30

40

50

るB-B線断面を示す。

【0127】まず実施の形態1と同様に分離領域7を形成する。この分離領域7は、図51に示されるような活性領域L1のパターンで形成され、張り出し領域L11を有する。

【0128】次に、実施の形態1における図10までの工程と同様に各部材を形成し、実施の形態1と同様に絶縁膜16を形成する(図52)。

【0129】次に、図53に示すようなSNCTのパターンで接続孔を形成し、接続プラグ22を実施の形態1と同様に形成する(図54)。

【0130】次に、実施の形態1における図13の工程と同様に、配線形成用の絶縁膜17を形成し、さらに実施の形態1における図14と同様に、絶縁膜17に配線溝18を形成する。この配線溝18を形成した状態の平面図を図55に示す。

【0131】次に、図56に示す接続孔BLCTのパターンで、配線溝18に重ねて接続孔BLCTを形成する(図57)。接続孔BLCTの形成は、接続プラグ22が形成される接続孔の形成と同様に行うことができる。

【0132】次に、実施の形態1の図16の工程と同様に、絶縁膜33を形成し、この絶縁膜33を異方性エッチングすることにより配線溝18の側壁にサイドウォールスペーサ19を形成する(図58)。このとき、絶縁膜33は、接続孔BLCTの内部にまで形成されるため、サイドウォールスペーサ19は接続孔BLCTの内壁にも形成される。

【0133】次に、実施の形態1における図19および図20の工程と同様に、サイドウォールスペーサ19でその幅が狭められた配線溝18の内部にビット線BLおよび第1層配線20を形成する(図59)。なお、接続孔BLCTの内部には、ビット線BLと一体に形成された接続部BLCが形成される。この状態の平面図を図60に示す。

【0134】この後の工程は実施の形態1と同様であるため説明を省略する。

【0135】本実施の形態のDRAMによれば、ビット線BLと半導体基板1の半導体領域12に接続される接続部BLCとが一体で形成されるため、工程を簡略化し、また、その部分での接続抵抗を低減してDRAMの性能を向上できる。また、実施の形態1と同様に、ビット線BLの配線幅の縮小の効果、セル高さの低減の効果、およびビット線線間容量の低減効果が同様に得られることはいうまでもない。

【0136】(実施の形態3) 図61は、実施の形態3のDRAMのメモリアレイPRIMARYの一部を拡大した平面図である。また、図62は、本実施の形態のDRAM領域のメモリスセルの部分(A領域)と周辺回路の一部(B領域)について示した断面図であり、図61におけるC-C線断面を示す。図63は、DRAM領域のメモ

リスセルの部分について示した断面図であり、(a)は図61におけるA-A線断面を、(b)は図61におけるD-D線断面を、(c)は図16におけるB-B線断面を示す。

【0137】本実施の形態3のDRAMは、実施の形態1におけるDRAMと、そのビット線BLと半導体領域12との接続部分において相違するのみであり、他の構成についてはほぼ同様である。したがって、その相違する部分についてのみ以下に説明し、同様の構成部分については説明を省略する。

【0138】本実施の形態3のDRAMでは、活性領域L1の中央部分の半導体領域12とビット線BLとが実施の形態1の接続プラグ21を介して接続されず、前記半導体領域12を平面的に覆うパターンで形成された導電膜45を介して接続される。導電膜45は、絶縁膜46上に形成され、たとえばリン等の不純物が導入された多結晶シリコン膜からなり、接続孔BLCTを介して半導体領域12に接続されている。

【0139】また、本実施の形態3のDRAMでは、活性領域L1の両端の半導体領域12と情報蓄積用容量素子Cの下部電極27とが、実施の形態1の接続プラグ22および接続プラグ25とを介して接続されず、接続プラグ25のみで接続される。

【0140】なお、絶縁膜46は、実施の形態1で説明したような2段階エッチングを行う必要がないため、シリコン窒化膜で構成する必要はなく、シリコン酸化膜で構成できる。また、本実施の形態3のDRAMでは、配線溝18を形成するための絶縁膜47が、ゲート電極11を覆う絶縁膜をも兼ねるため、実施の形態1の絶縁膜16、17を別々に形成する必要はなく、後に説明するように工程を短縮できる。

【0141】次に、本実施の形態3のDRAMの製造方法を説明する。図64～図69は、本実施の形態3のDRAMの製造方法の一例を工程順に示した断面図または平面図である。なお、断面図において、(a)は図61におけるC-C線断面および周辺回路部分の断面を示し、(b)は図61におけるA-A線断面を、(c)は図61におけるD-D線断面を、(d)は図61におけるB-B線断面を示す。

【0142】本実施の形態3のDRAMの製造方法は、実施の形態1における図10までの工程と同様である。ただし、絶縁膜46は、たとえばCVD法により形成されたシリコン酸化膜で構成する。この後、図64に示すような接続孔BLCTのパターンで、絶縁膜46に接続孔BLCTを形成する(図65)。このとき、ゲート電極11の側壁には、絶縁膜46のサイドウォールスペーサが形成される。

【0143】次に、半導体基板1の全面に、たとえば、リンが導入された多結晶シリコン膜を堆積し、この多結晶シリコン膜を図66で示した導電膜45のパターンで

パターンニングする。これにより絶縁膜 46 上に導電膜 45 を形成する (図 67)。

【0144】次に、半導体基板 1 の全面に、たとえば CVD 法により形成されたシリコン酸化膜からなる絶縁膜を堆積し、この絶縁膜を CMP 法により研磨して配線形成用の絶縁膜 47 を形成する。

【0145】ここまでの工程を実施の形態 1 の工程と比較すれば、実施の形態 1 においては、接続プラグ 21、22 を形成するための絶縁膜 16 の形成において、および、配線形成用の絶縁膜 17 の形成において、2 回の CMP 法による研磨工程を必要とする。これに対し、本実施の形態 3 では、配線形成用の絶縁膜 46 を形成するための CMP 法による研磨工程の 1 回のみであり、実施の形態 1 と比較して少ない CMP 法による研磨工程で済む。CMP 法による研磨工程では、半導体基板 1 の全面においてその平坦性をある程度確保する必要性から、必然的に絶縁膜の膜厚が大きくなり、このため、多くの CMP 工程を有する方法により製造された半導体集積回路装置は、一般に標高が高くなる。このように標高が高くなると、上層配線の接続を行うための接続孔の深さが深くなる等の加工上好ましくない状況が発生する。しかし、本実施の形態 3 では、実施の形態 1 に比較して CMP 工程が少なくなり、工程が簡略化、短縮化されるのみならず、素子の標高の増加を抑制して、上層配線および接続部材の加工を容易することが可能となる。

【0146】次に、実施の形態 1 と同様に、絶縁膜 47 に配線溝 18 を形成し、さらに配線溝 18 の側壁にサイドウォールスペーサ 19 を形成する (図 68)。なお、図 68 においては、周辺回路の領域 (B 領域) に接続孔を形成した段階を示している。

【0147】次に、実施の形態 1 における図 19 および図 20 の工程と同様に、サイドウォールスペーサ 19 でその幅が狭められた配線溝 18 の内部にビット線 BL および第 1 層配線 20 を形成する (図 69)。

【0148】この後の工程は実施の形態 1 と同様であるため説明を省略する。なお、本実施の形態 3 の DRAM では、接続プラグ 22 が形成されていないため、容量電極接続孔 26 を半導体基板 1 の半導体領域 12 に達するまで加工し、その内部に実施の形態 1 と同様にたとえば多結晶シリコン膜を形成して接続プラグ 25 を形成する。

【0149】本実施の形態の DRAM によれば、ビット線 BL と半導体領域 12 とを導電膜 45 を介して接続し、絶縁膜 47 で配線形成用の絶縁膜とゲート電極 11 を埋め込む絶縁膜とを兼ねることができるため、工程を短縮し、また CMP 工程を少なくして素子高さを抑制できる。また、実施の形態 1 と同様に、ビット線 BL の配線幅の縮小の効果、セル高さの低減の効果、およびビット線線間容量の低減効果が同様に得られることはいうまでもない。

【0150】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0151】たとえば、実施の形態 1～3 では、情報蓄積用容量素子 C として、上方に開口を有する円筒形状の下部電極を有する情報蓄積用容量素子の例を示したが、図 70 あるいは図 71 に示すような、情報蓄積用容量素子を用いてもよい。

【0152】すなわち、図 71 は、実施の形態 1 における絶縁膜 39 の溝 40 内に形成された多結晶シリコン膜 41 の内面を用いて下部電極を構成するものであり、絶縁膜 39 をエッチングにより除去することなく残存させるものである。この場合、シリコン窒化膜 24 は必要でない。

【0153】また、図 71 は、単純スタック構造の下部電極を採用する場合の例であり、実施の形態 1 の図 26 の後、容量電極接続孔 26 を埋め込むと同時に、下部電極を構成する多結晶シリコン膜を同時に形成し、この多結晶シリコン膜と実施の形態 1 の多結晶シリコン膜 36 をパターンニングして下部電極を形成するものである。なお、サイドウォールスペーサ 38 は下部電極の一部として構成される。また、シリコン窒化膜 24 は本構成においても必要でない。

【0154】また、本実施の形態のビット線 BL の形成方法は、DRAM に限られず、DRAM を混載したロジック回路や、DRAM を混載したフラッシュメモリ内臓のマイクロコンピュータ、その他のシステム混載チップへの適用が可能である。

【0155】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0156】(1) ビット線等配線の線幅をフォトリソグラフィの加工限界を越えて縮小された寸法で加工できる。

【0157】(2) メモリセルの高さを大きくすることなく、ビット線と情報蓄積用容量素子の下部電極との短絡を防止することができる。

【0158】(3) メモリセルの高さを低くできる。

【0159】(4) ビット線容量を低減し、検出感度が高く、ノイズ耐性に優れた半導体集積回路装置を提供できる。

【0160】(5) フォトリソグラフィに適した単純な平面パターンを採用した半導体集積回路装置の構造が提供でき、加工マージンを向上できる。

【0161】(6) DRAM の高集積化に適した半導体集積回路装置の構造および製造方法を提供でき、半導体集積回路装置の信頼性、歩留まりおよび性能を向上でき

る。

【図面の簡単な説明】

【図 1】本発明の一実施の形態である DRAM を形成した半導体チップ全体の一例を示した平面図である。

【図 2】本実施の形態 1 の DRAM の等価回路図である。

【図 3】図 1 のメモリアレイ MARY の一部を拡大した平面図である。

【図 4】実施の形態 1 の DRAM 領域のメモリセルの部分と周辺回路の一部について示した断面図であり、図 3 における C-C 線断面を示す。

【図 5】実施の形態 1 の DRAM 領域のメモリセルの部分について示した断面図であり、(a) は図 3 における A-A 線断面を、(b) は図 3 における D-D 線断面を、(c) は図 3 における B-B 線断面を示す。

【図 6】(a) は実施の形態 1 の DRAM の製造方法の一例を工程順に示した平面図であり、(b) は実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 7】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 8】(a) は実施の形態 1 の DRAM の製造方法の一例を工程順に示した平面図であり、(b) は実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 9】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 10】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 11】実施の形態 1 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 12】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 13】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 14】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 15】実施の形態 1 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 16】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 17】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 18】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 19】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 20】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 21】実施の形態 1 の DRAM の製造方法の一例を

工程順に示した平面図である。

【図 22】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 23】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 24】実施の形態 1 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 25】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

10 【図 26】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 27】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 28】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 29】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 30】実施の形態 1 の DRAM の製造方法の一例を工程順に示した平面図である。

20 【図 31】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 32】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 33】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 34】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 35】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

30 【図 36】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 37】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 38】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 39】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 40】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

40 【図 41】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 42】実施の形態 1 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 43】実施の形態 1 の DRAM の製造方法の他の例を工程順に示した断面図である。

【図 44】実施の形態 1 の DRAM の製造方法の他の例を工程順に示した断面図である。

【図 45】実施の形態 1 の DRAM の製造方法のさらに他の例を工程順に示した断面図である。

50 【図 46】実施の形態 1 の DRAM の製造方法のさらに

他の例を工程順に示した断面図である。

【図 4 7】実施の形態 1 の DRAM の製造方法のさらに他の例を工程順に示した断面図である。

【図 4 8】実施の形態 2 の DRAM のメモリアレイ MA R Y の一部を拡大した平面図である。

【図 4 9】実施の形態 2 の DRAM 領域のメモリセルの部分と周辺回路の一部について示した断面図であり、図 4 8 における C - C 線断面を示す。

【図 5 0】実施の形態 2 の DRAM 領域のメモリセルの部分について示した断面図であり、(a) は図 4 8 における A - A 線断面を、(b) は図 4 8 における D - D 線断面を、(c) は図 4 8 における B - B 線断面を示す。

【図 5 1】実施の形態 2 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 5 2】実施の形態 2 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 5 3】実施の形態 2 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 5 4】実施の形態 2 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 5 5】実施の形態 2 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 5 6】実施の形態 2 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 5 7】実施の形態 2 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 5 8】実施の形態 2 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 5 9】実施の形態 2 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 6 0】実施の形態 2 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 6 1】実施の形態 3 の DRAM のメモリアレイ MA R Y の一部を拡大した平面図である。

【図 6 2】実施の形態 3 の DRAM 領域のメモリセルの部分と周辺回路の一部について示した断面図であり、図 6 1 における C - C 線断面を示す。

【図 6 3】実施の形態 3 の DRAM 領域のメモリセルの部分について示した断面図であり、(a) は図 6 1 における A - A 線断面を、(b) は図 6 1 における D - D 線断面を、(c) は図 6 1 における B - B 線断面を示す。

【図 6 4】実施の形態 3 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 6 5】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 6 6】実施の形態 3 の DRAM の製造方法の一例を工程順に示した平面図である。

【図 6 7】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 6 8】実施の形態 3 の DRAM の製造方法の一例を

工程順に示した断面図である。

【図 6 9】実施の形態 3 の DRAM の製造方法の一例を工程順に示した断面図である。

【図 7 0】本発明のさらに他の実施の形態である D R A M の一例を示した断面図である。

【図 7 1】本発明のさらに他の実施の形態である D R A M の他の例を示した断面図である。

【図 7 2】容量電極接続孔の加工上の課題を説明するための断面図であり、ビット線の延在方向に垂直な方向でのメモリセル部の断面を示している。

【符号の説明】

1 半導体基板

1 A 半導体チップ

2、3 p 形ウェル

4 n 形ウェル

5 ドーズ量

6 ディープウェル

7 分離領域

8 浅溝

10 ゲート絶縁膜

11 ゲート電極

12、15 半導体領域

13 キャップ絶縁膜

14 シリコン窒化膜

15 a 低濃度不純物領域

15 b 高濃度不純物領域

16、17、30、33、39 46、47 絶縁膜

18 配線溝

19、38 サイドウォールスペーサ

30 第 1 層配線

21、22、25 接続プラグ

23 層間絶縁膜

24 絶縁膜 (シリコン窒化膜)

26 容量電極接続孔

27 下部電極

28 容量絶縁膜

29 プレート電極

29 上部電極

31 第 2 層配線

40 32 プラグ

34 接続孔

35 タングステン膜

36、41 多結晶シリコン膜

37 開口

40 溝

42 シリコン酸化膜

43 窒化チタン膜

44 シリコン窒化膜

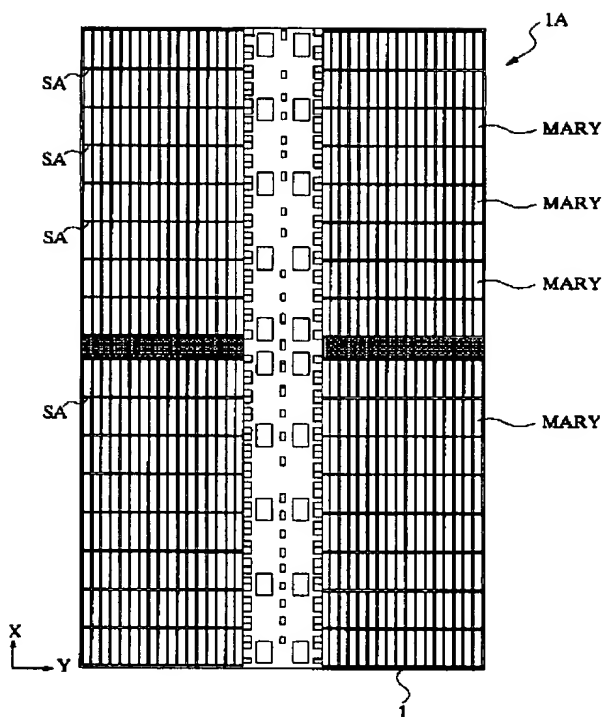
45 導電膜

50 201 半導体基板

202 分離領域
 203 活性領域
 204 半導体領域
 205 接続プラグ
 206 上部電極
 207 容量絶縁膜
 208 下部電極
 209 ビット線
 210 容量電極接続孔
 211 合わせ余裕
 212 シリコン窒化膜
 213 サイドウォールスペーサ
 214、215 シリコン酸化膜
 BL ビット線

【図 1】

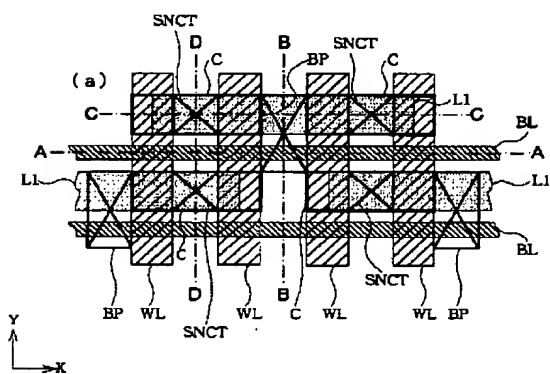
図 1



BLC 接続部
 BLCT 接続孔
 BP 接続プラグ
 C 情報蓄積用容量素子
 L1 活性領域
 L11 張り出し領域
 MARY メモリアレイ
 Qn nチャネルMISFET
 Qp pチャネルMISFET
 10 Qs メモリセル選択用MISFET
 SA センスアンプ
 SNCT 容量電極接続孔
 WD ワードドライバ
 WL ワード線

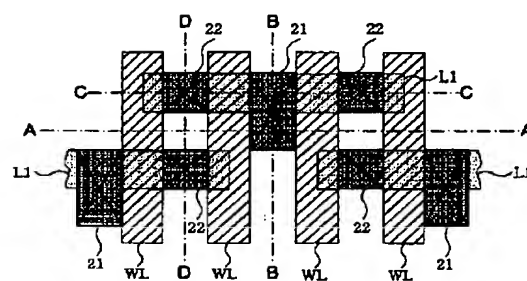
【図 3】

図 3



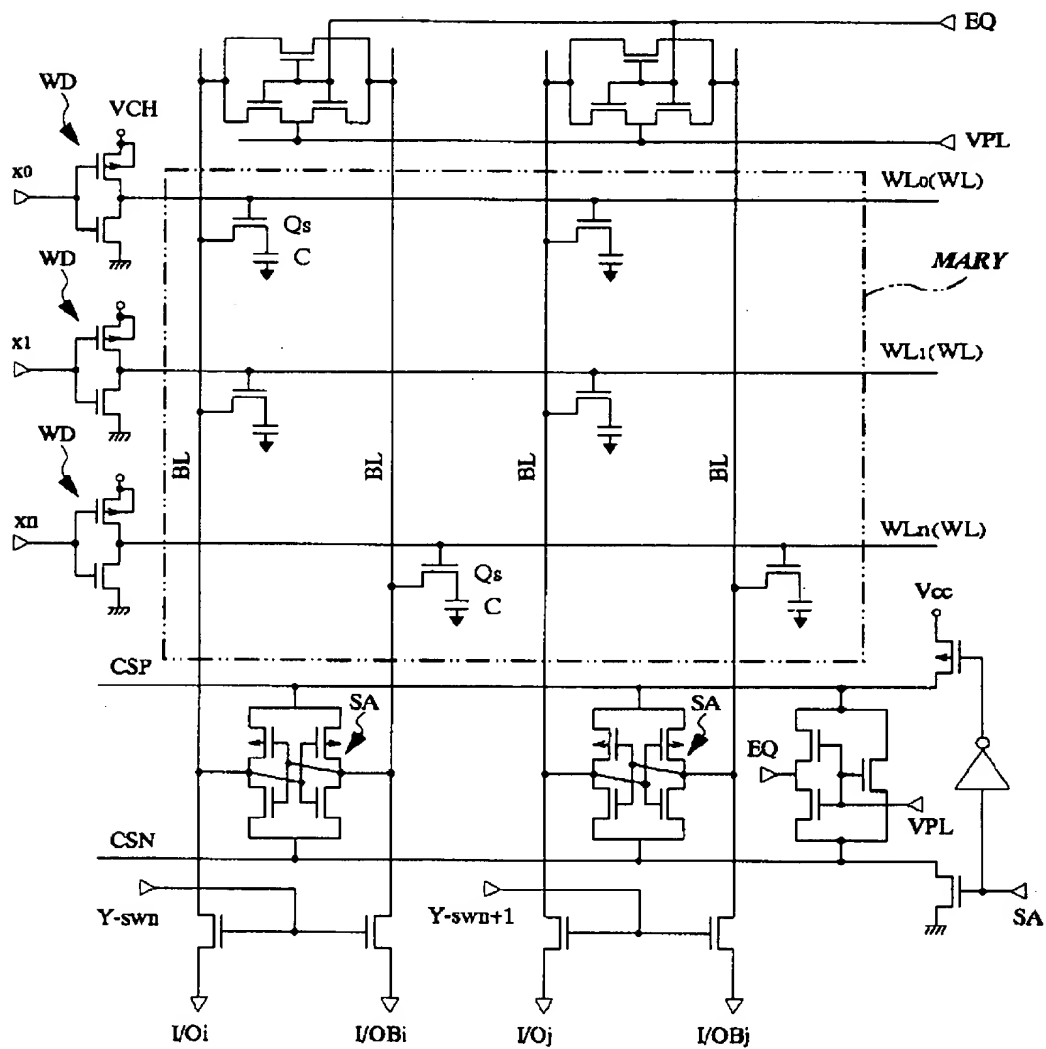
【図 11】

図 11



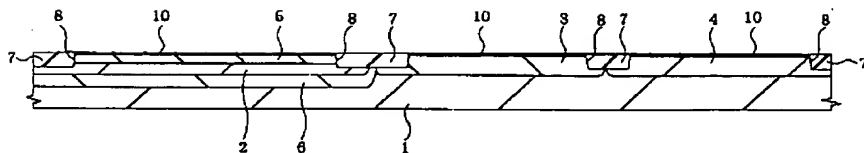
【図 2】

図 2



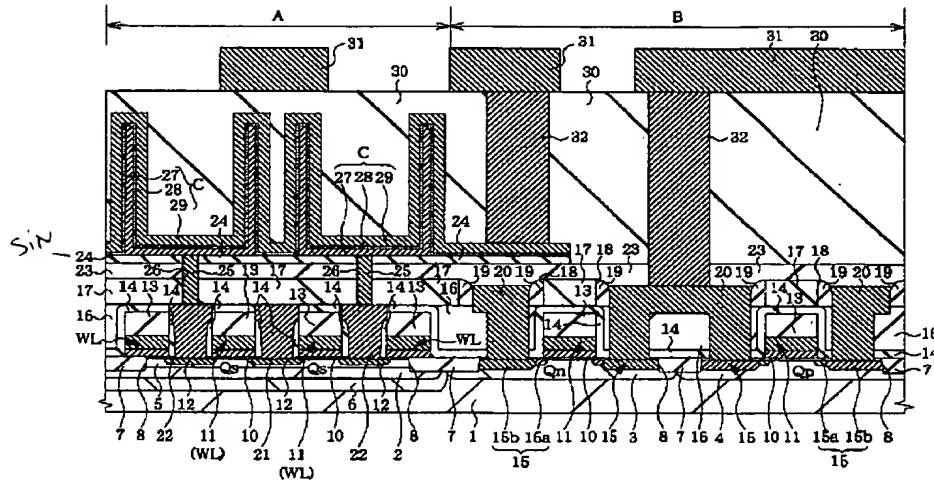
【図 7】

図 7



【図 4】

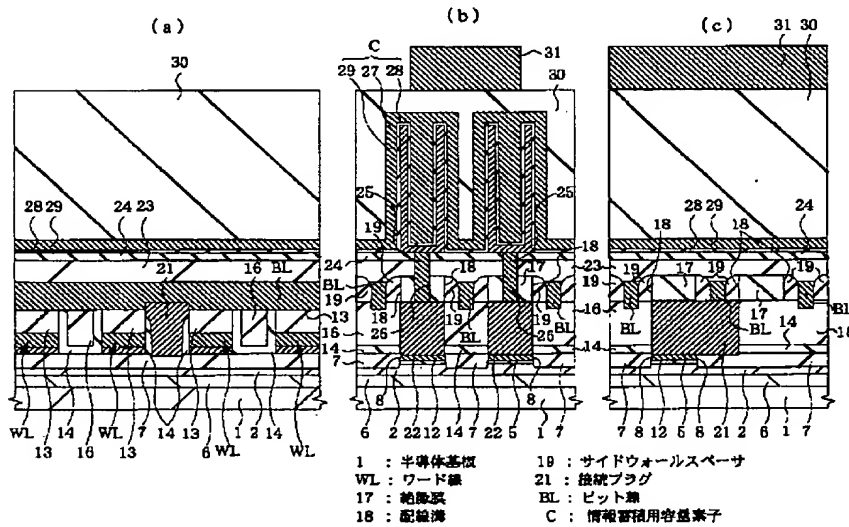
図 4



13, 14, 24 are SiN

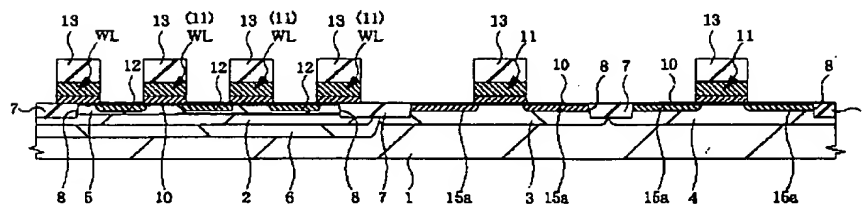
【図 5】

図 5



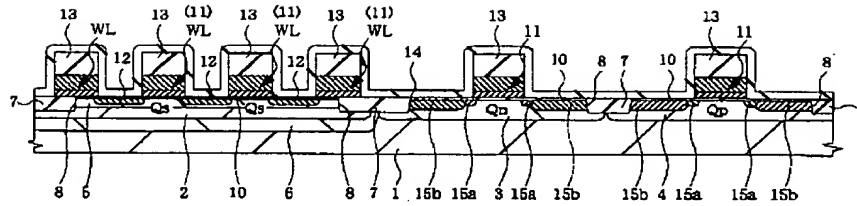
【図 9】

図 9



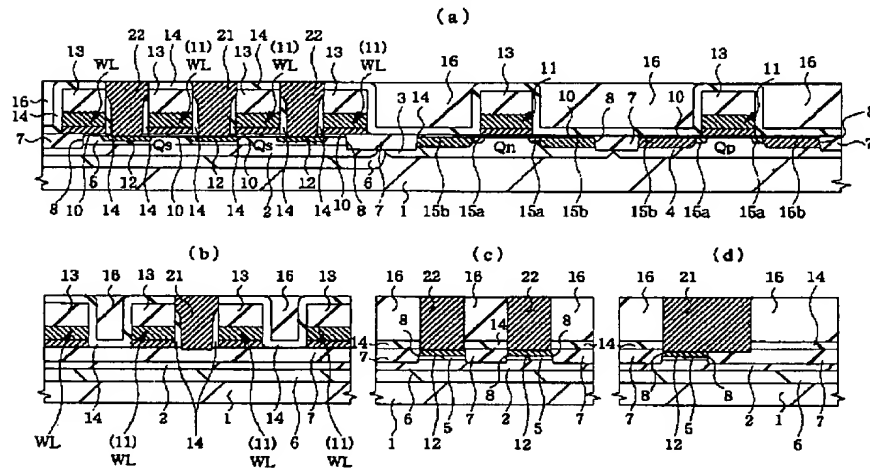
【図 10】

図 10



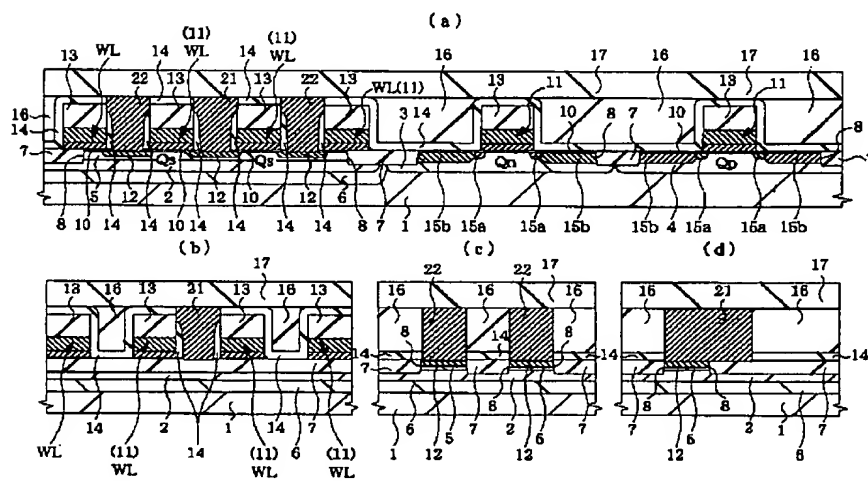
【図 12】

図 12



【図 13】

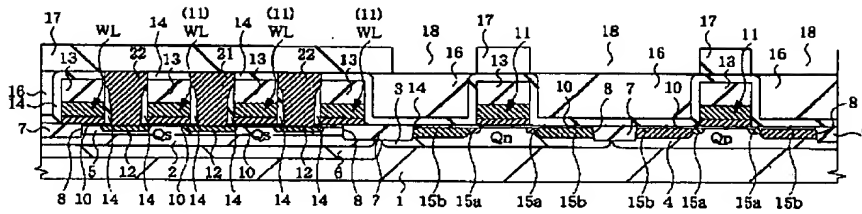
図 13



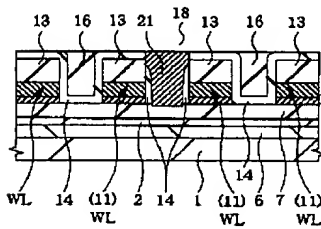
【図 1 4】

図 1 4

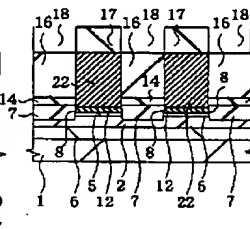
(a)



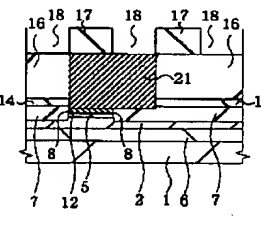
(b)



(c)

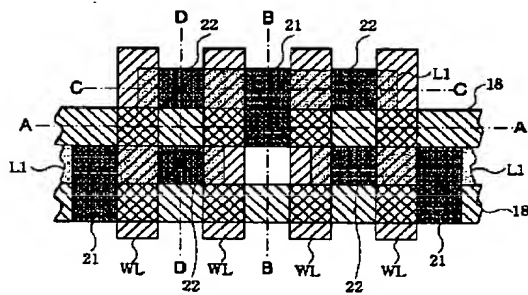


(d)



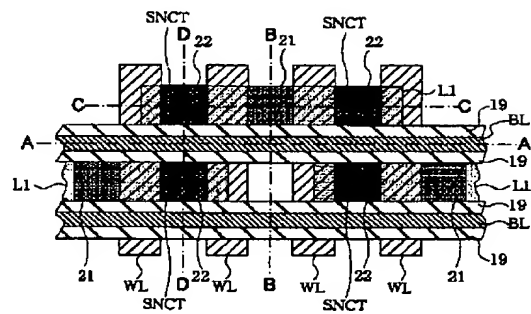
【図 1 5】

図 1 5



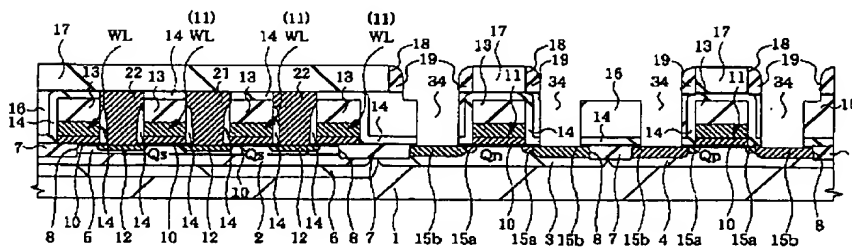
【図 2 4】

図 2 4

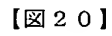


【図 1 8】

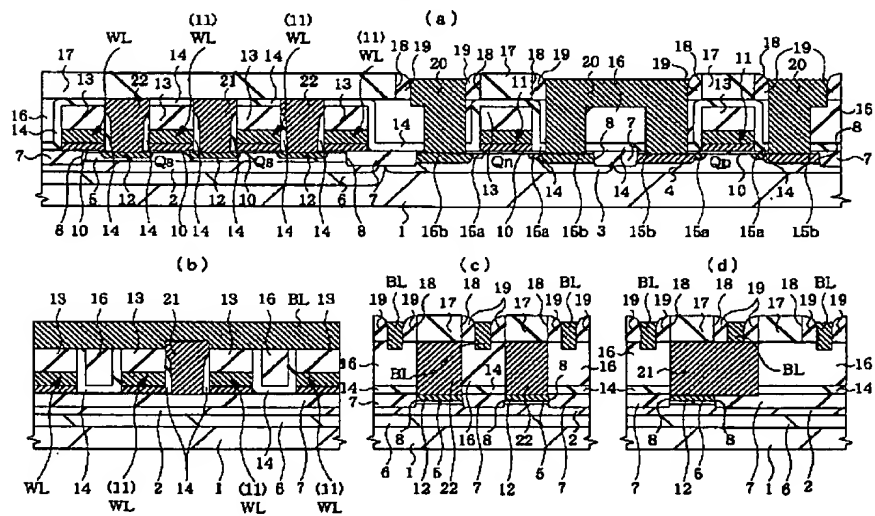
図 1 8



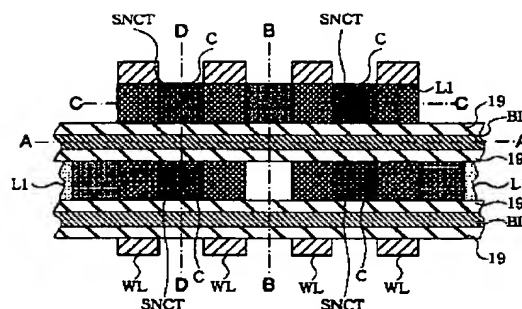
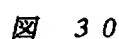
19



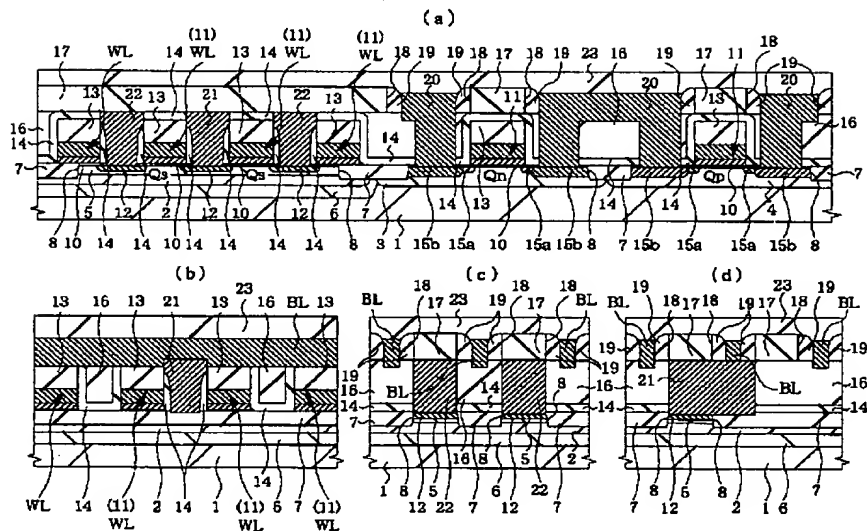
20



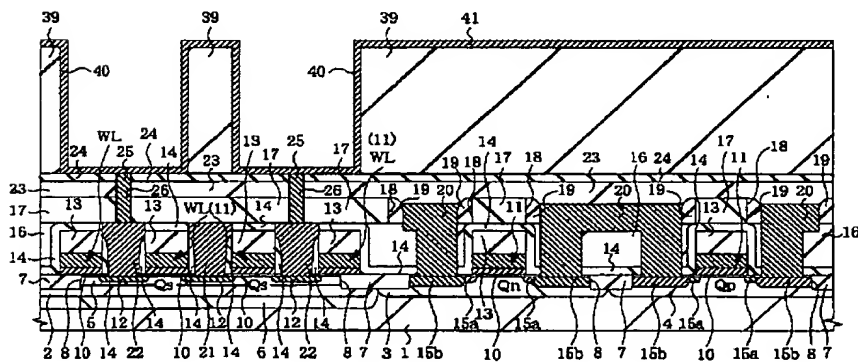
【図 30】



22

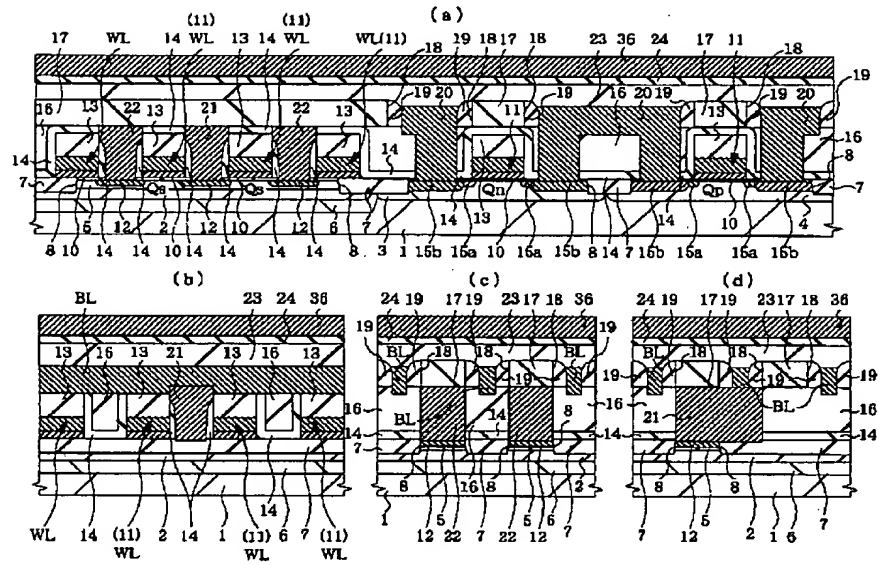


31



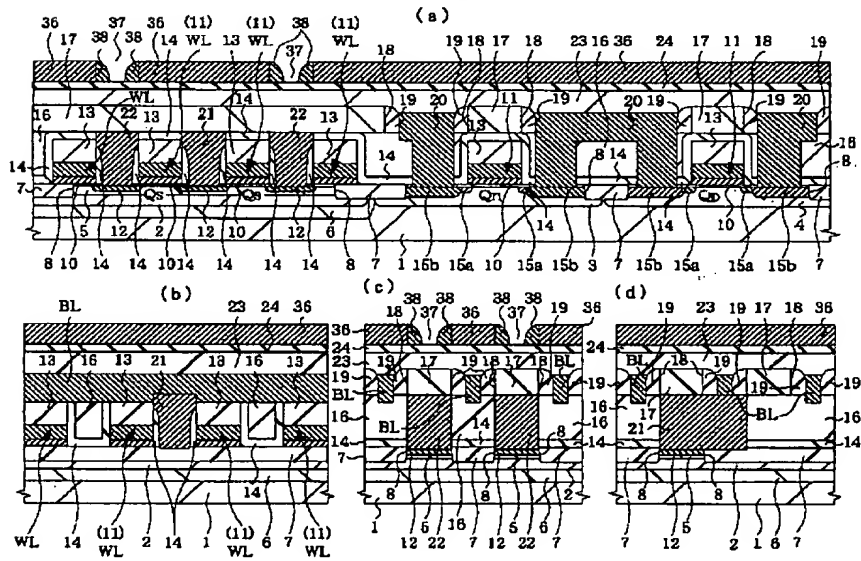
【図 2 3】

図 2 3



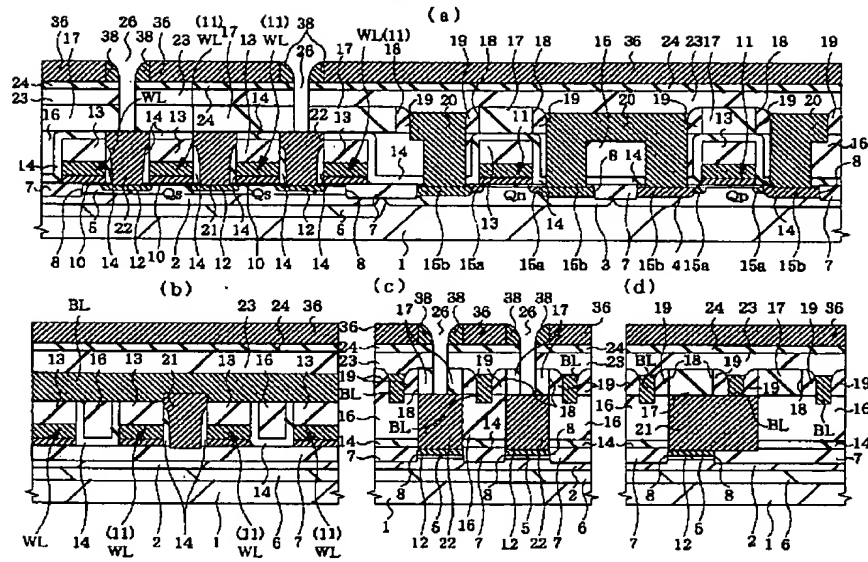
【図 2 5】

図 2 5



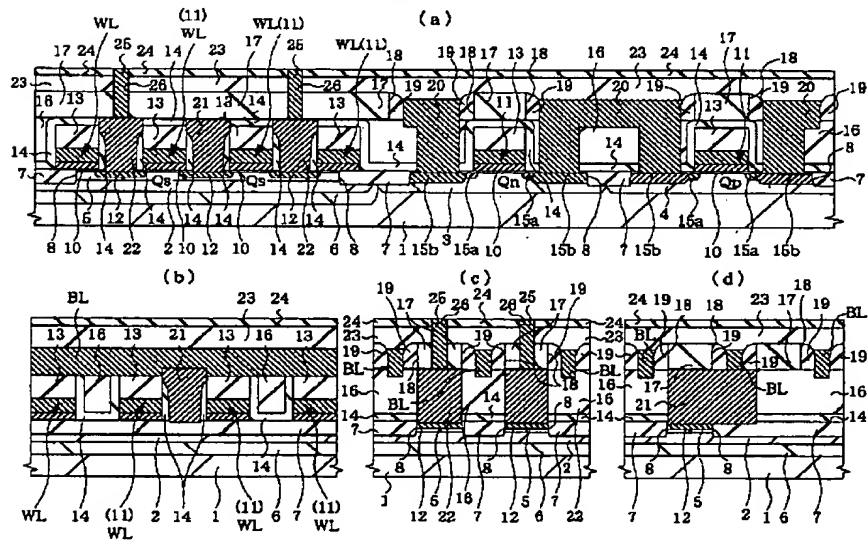
【図 2 6】

図 2 6



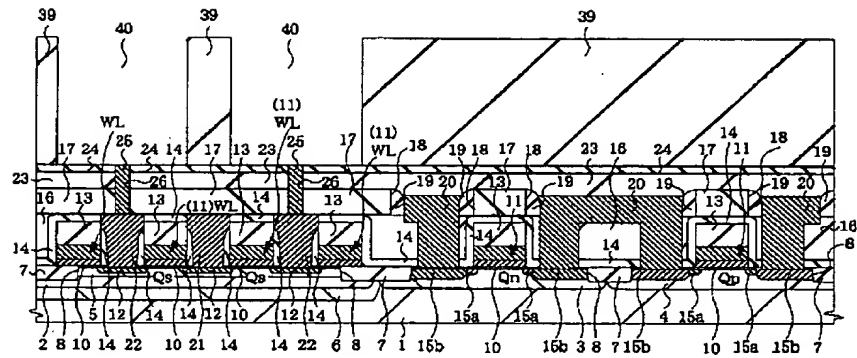
【図 2 7】

図 2 7



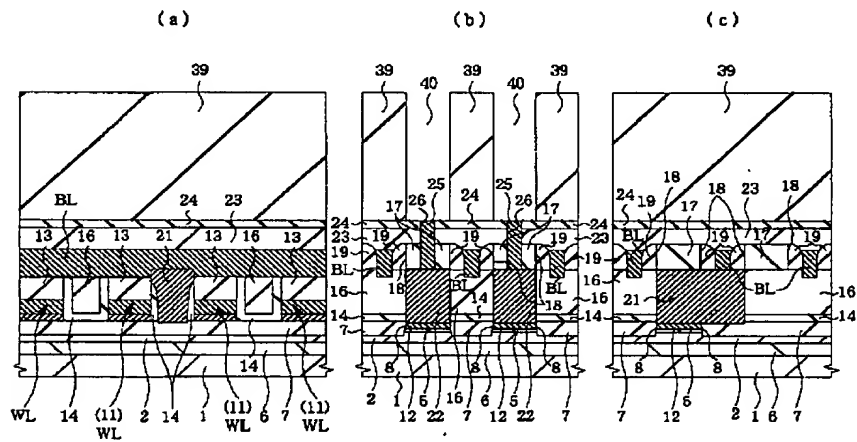
【図 28】

図 28



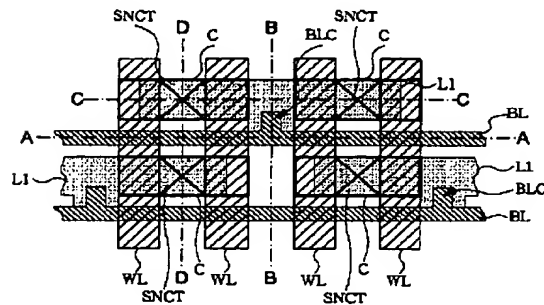
【図 29】

図 29



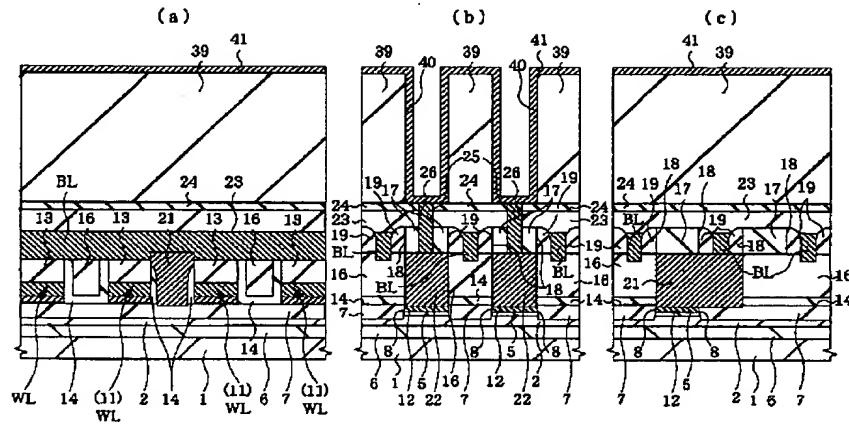
【図 48】

図 48



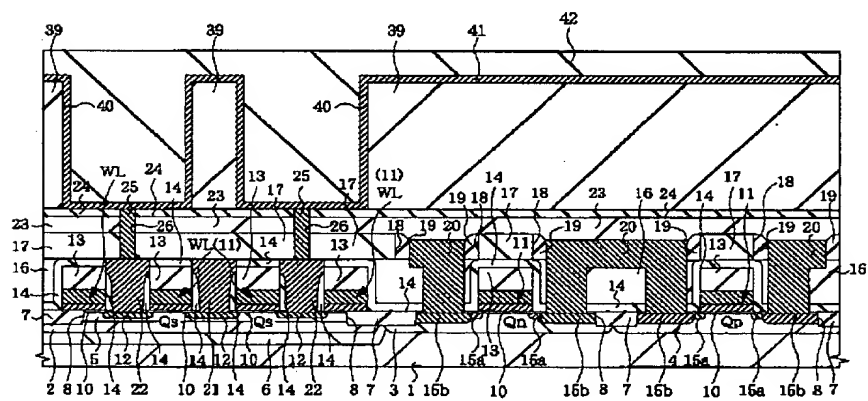
【図 3 2】

図 3 2



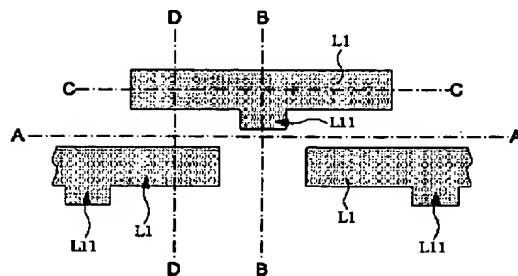
【図 3 3】

図 3 3



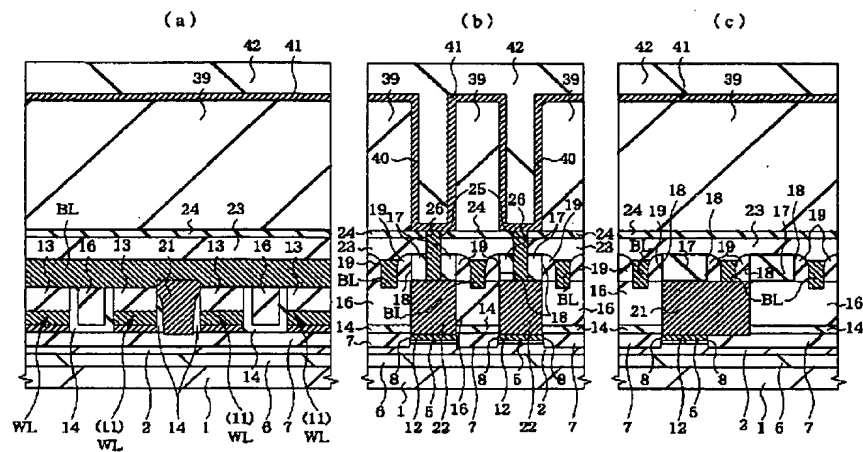
【図 5 1】

図 5 1



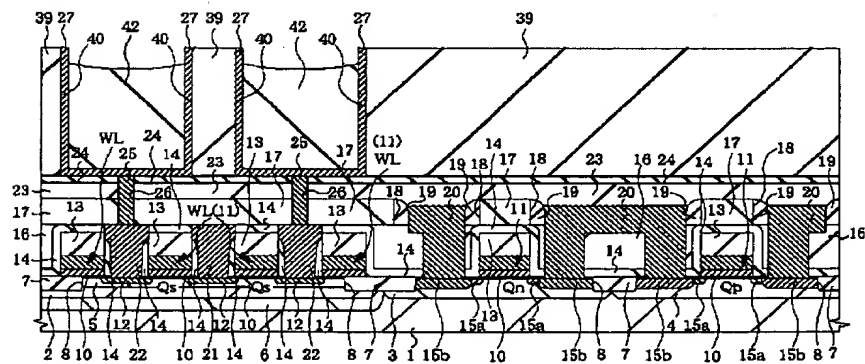
【図 3 4】

図 3 4



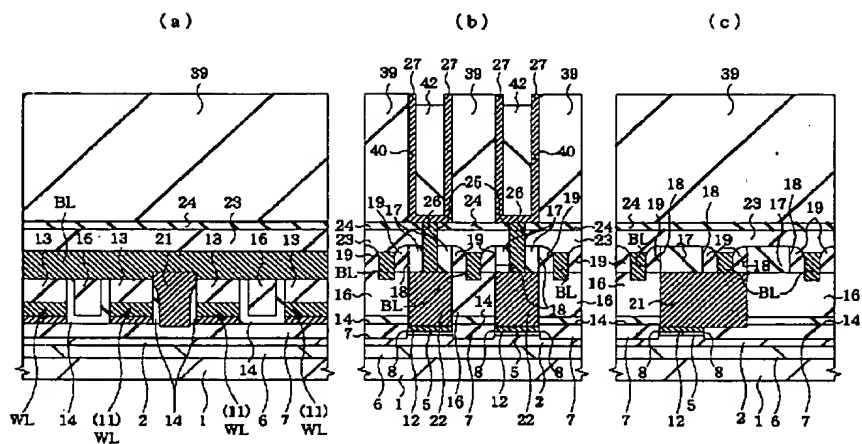
【図 3 5】

図 3 5



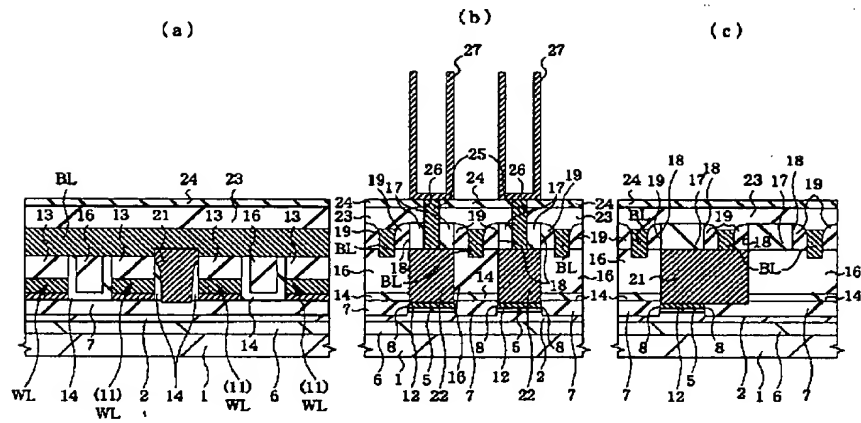
【图 3 6】

36



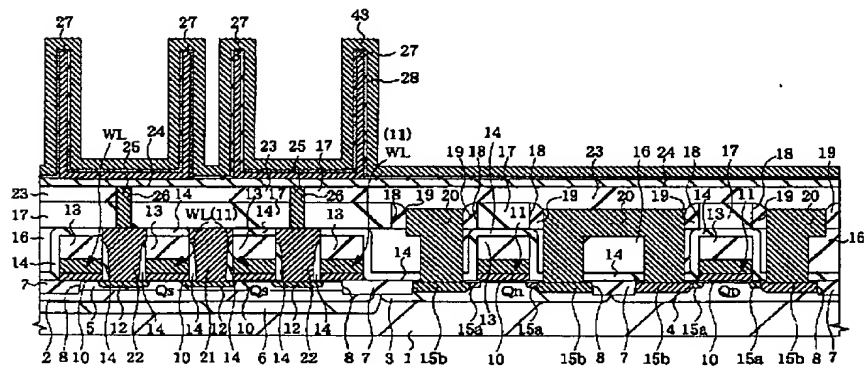
【図 3 8】

図 3 8



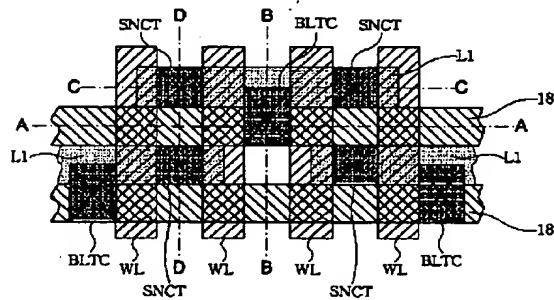
【図 3 9】

図 3 9



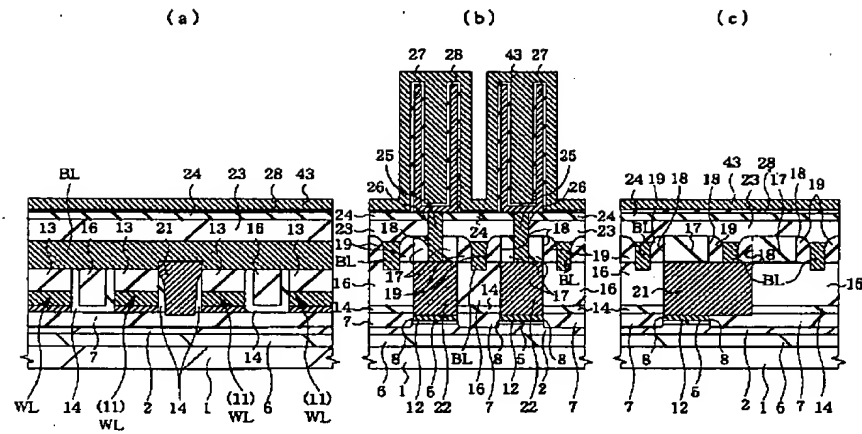
【図 5 6】

図 5 6



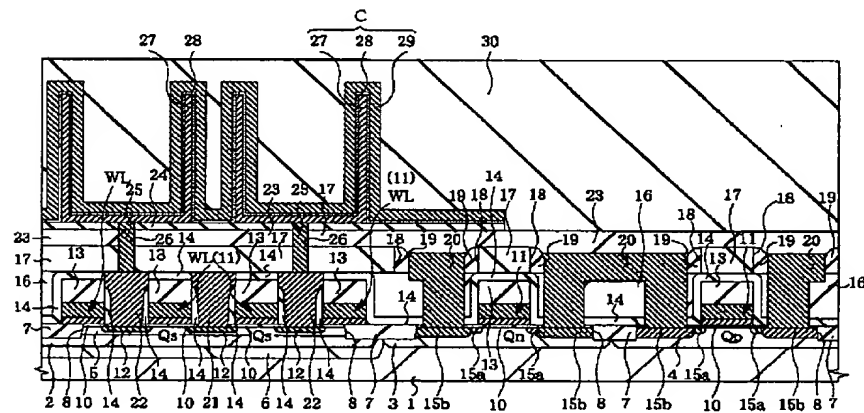
【図 4 0】

図 4 0



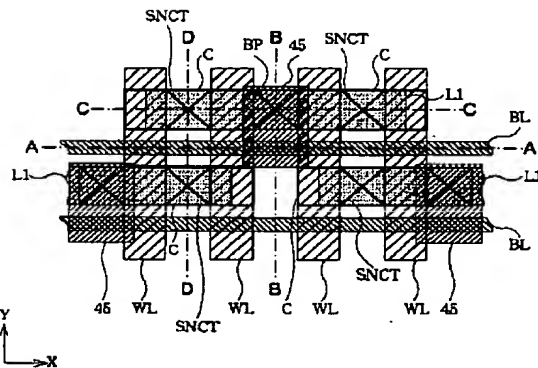
【図 4 1】

図 4 1



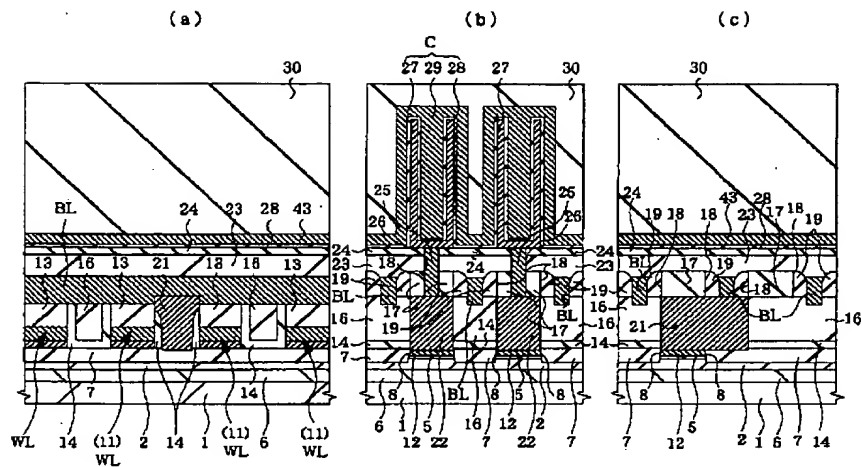
【図 6 1】

図 6 1



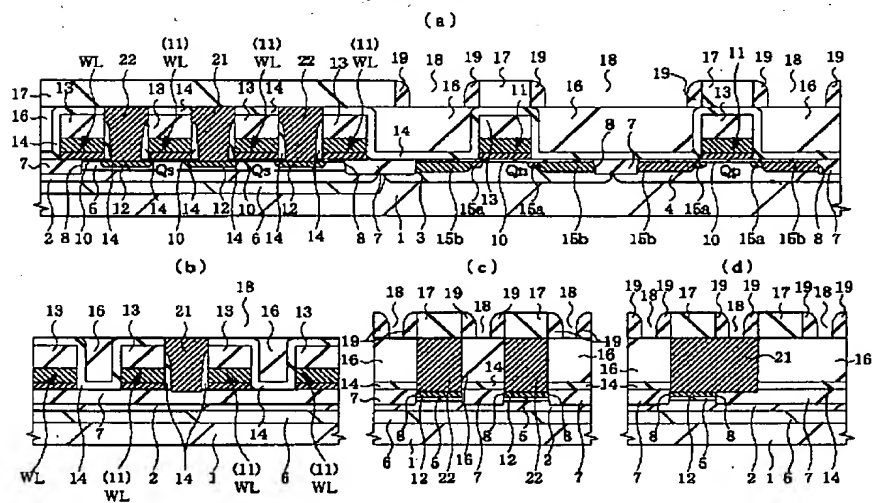
【図 4 2】

図 4 2

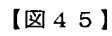


【図 4 3】

図 4 3



☒ 44



45

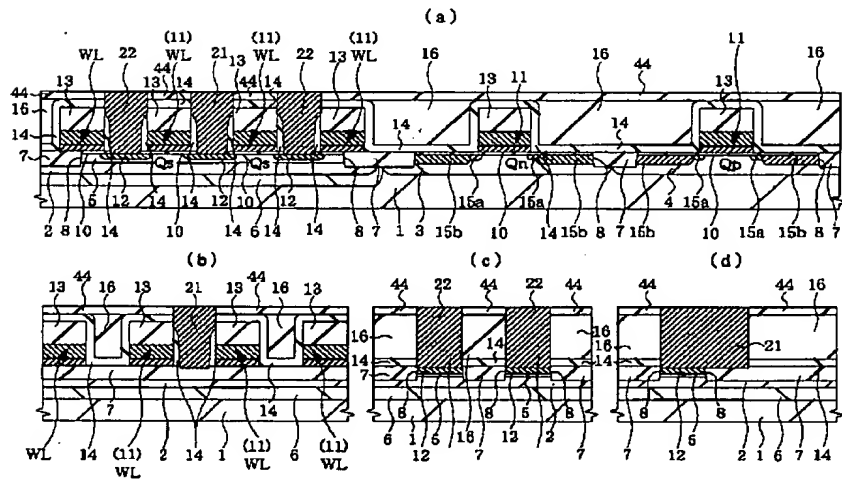
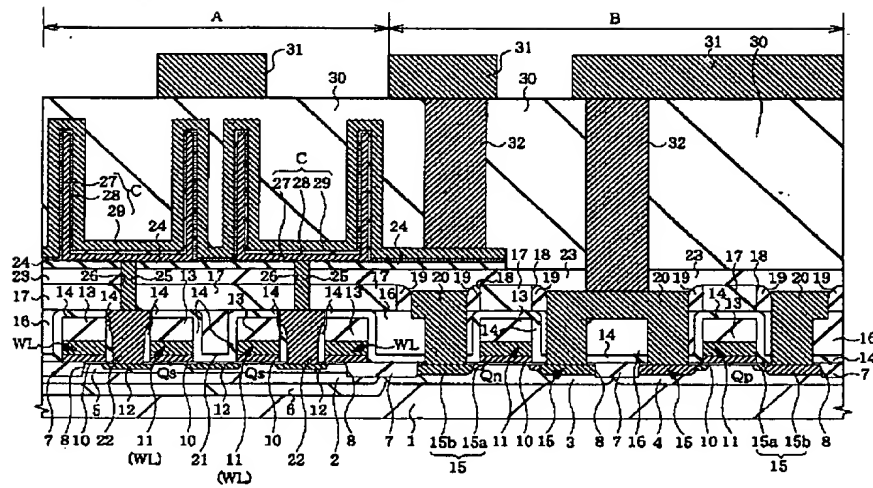


图 46

47

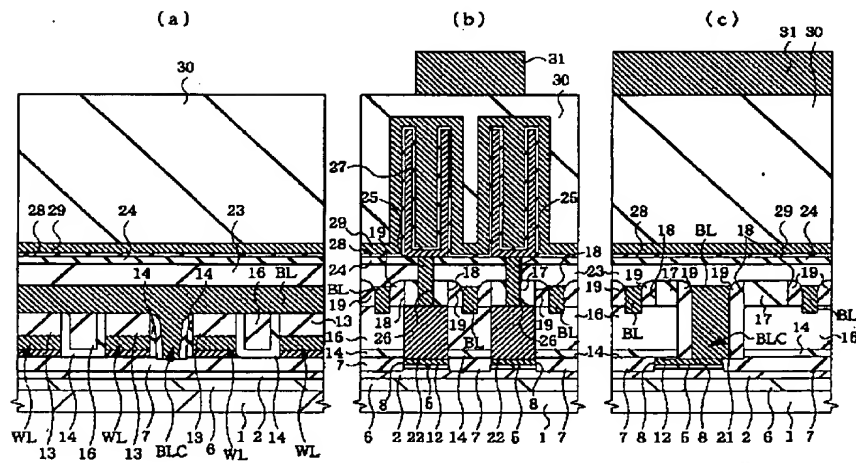
【図 4 9】

図 . 4 9

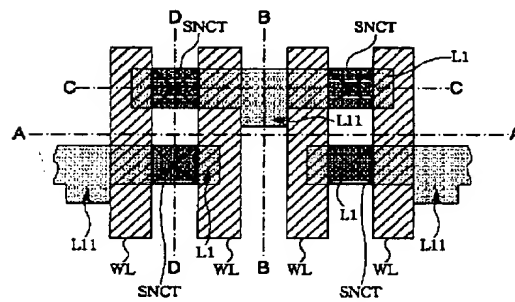
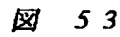


【図 5 0】

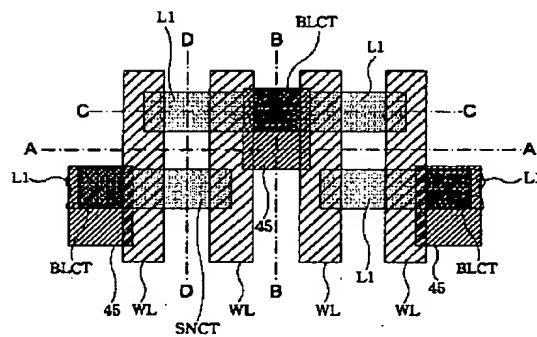
図 5 0



(a)



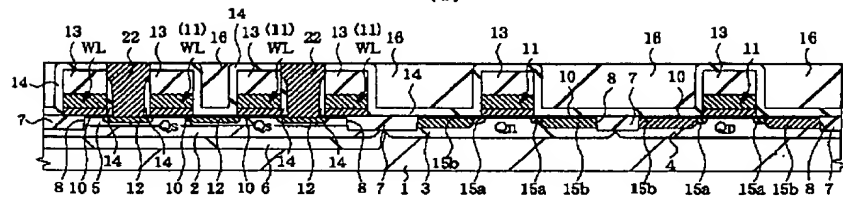
66



【図 5 4】

図 5 4

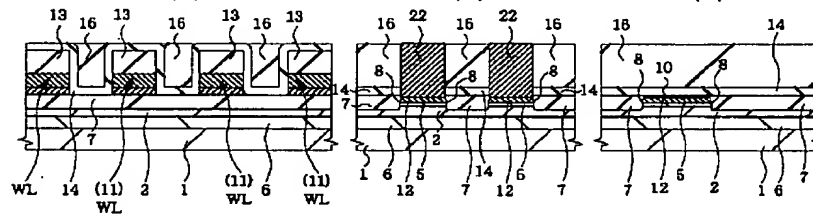
(a)



(b)

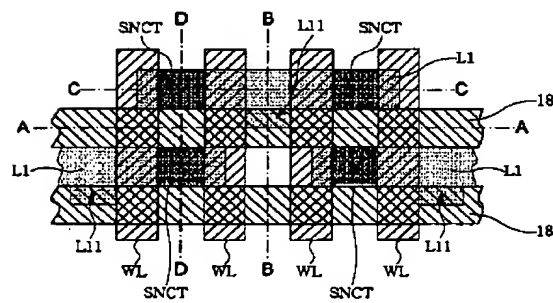
(c)

(d)



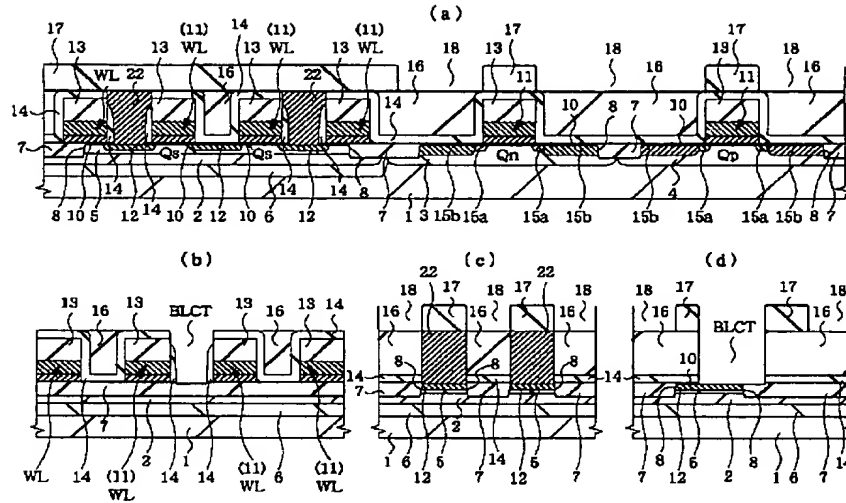
【図 5 5】

図 5 5



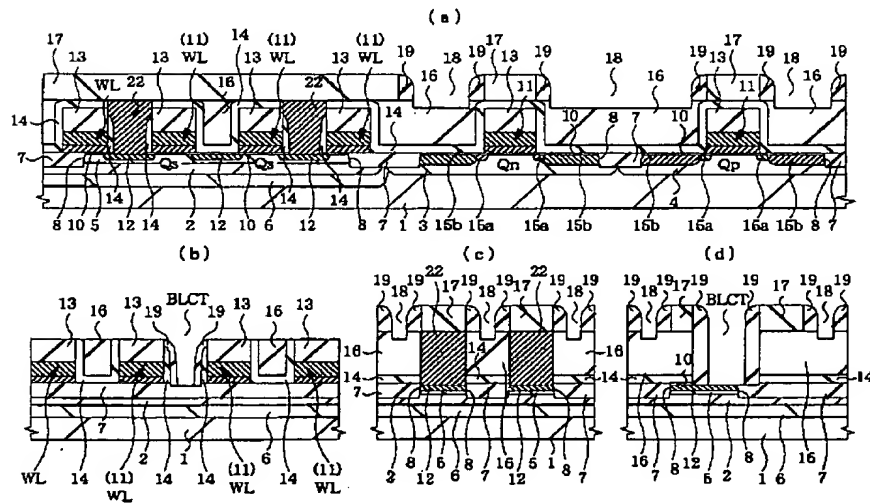
【図 5 7】

図 5 7



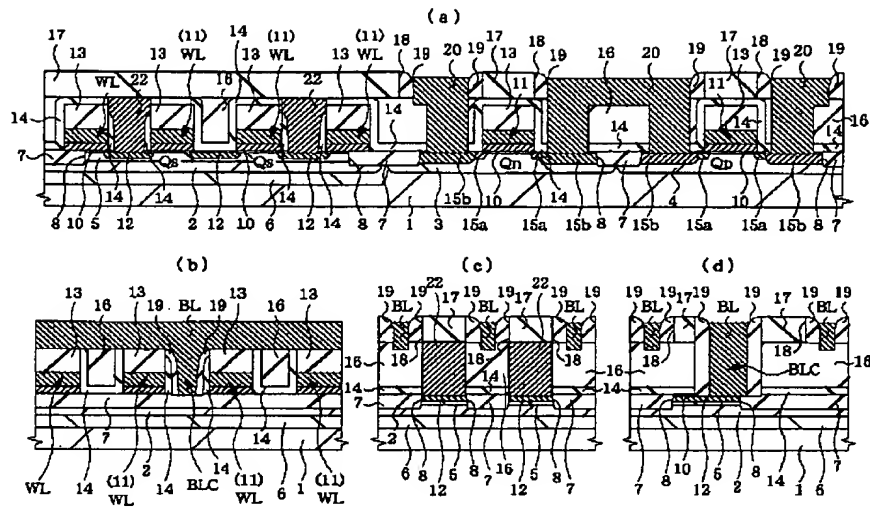
【図 5 8】

図 5 8



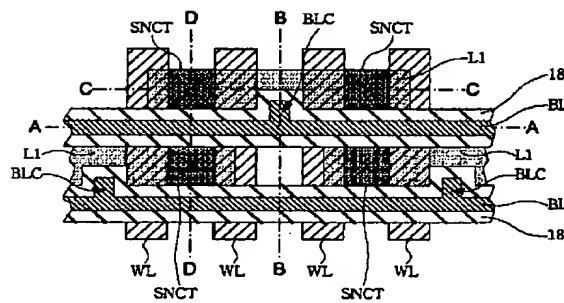
【図 59】

図 59



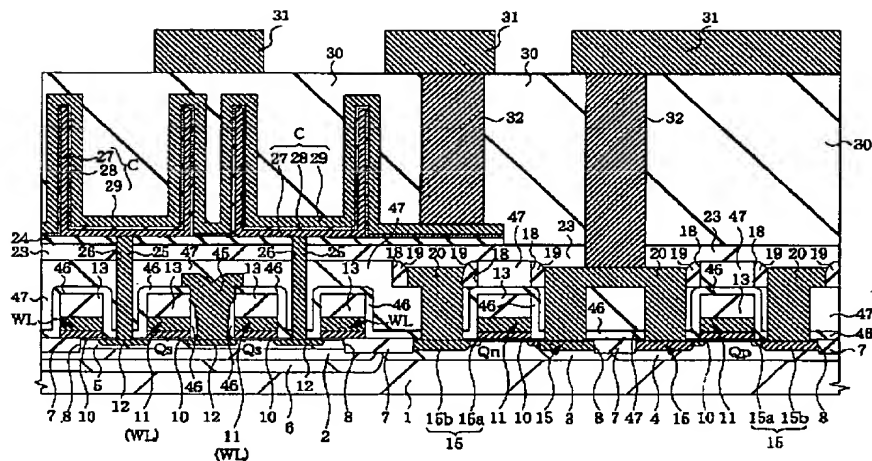
【図 60】

図 60



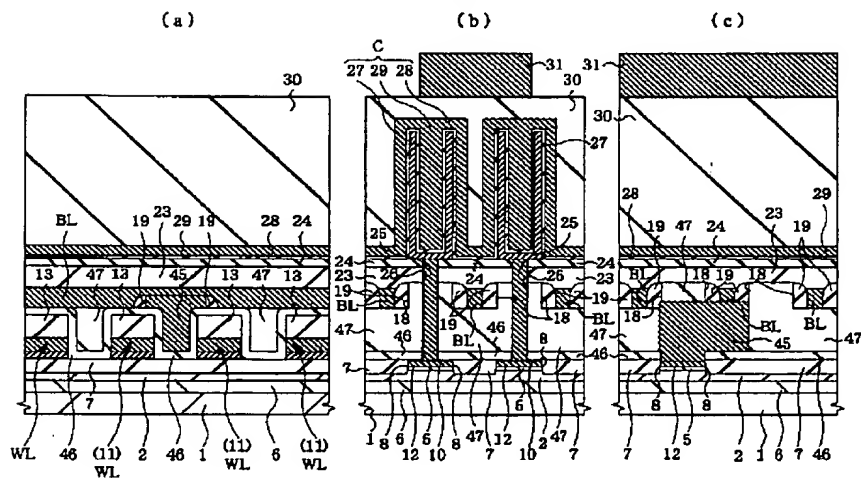
【図 6 2】

図 6 2



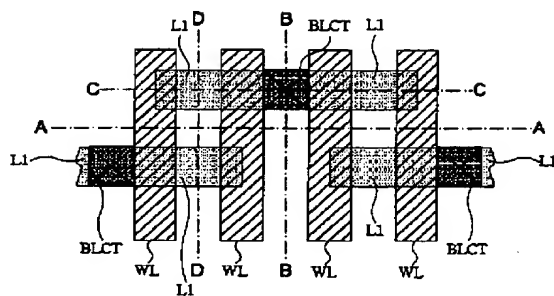
【図 6 3】

図 6 3

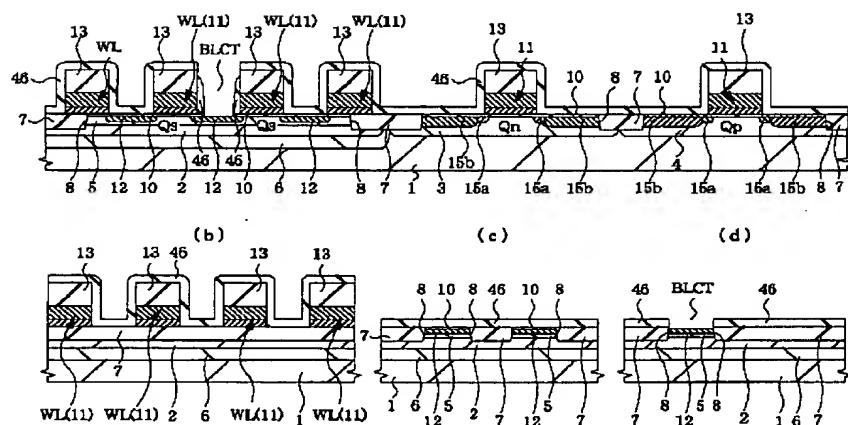


【図 6 4】

図 6 4

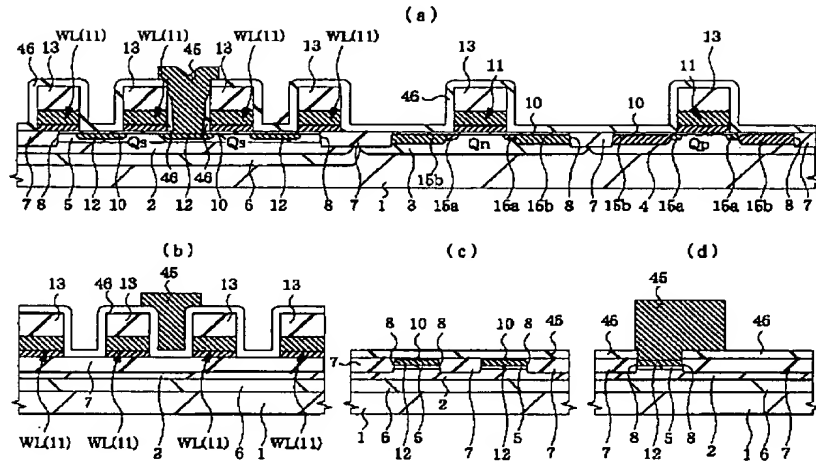


【図 6 5】

図 6 5
(a)

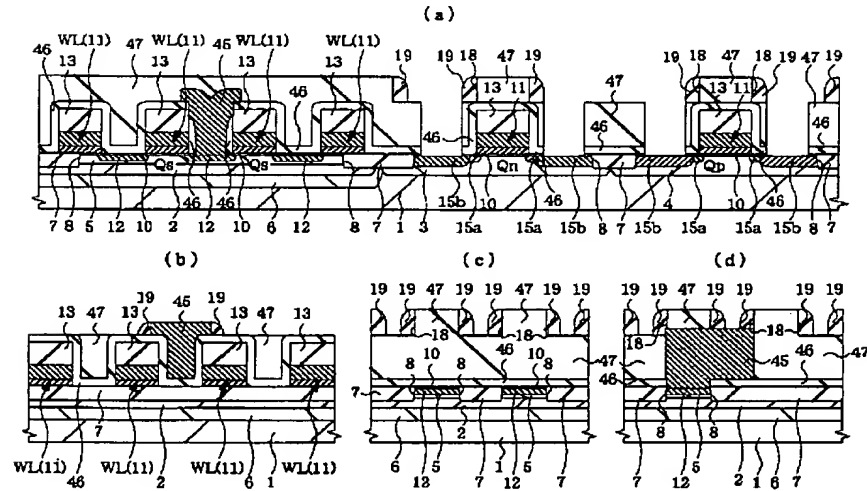
【図 6 7】

図 6 7



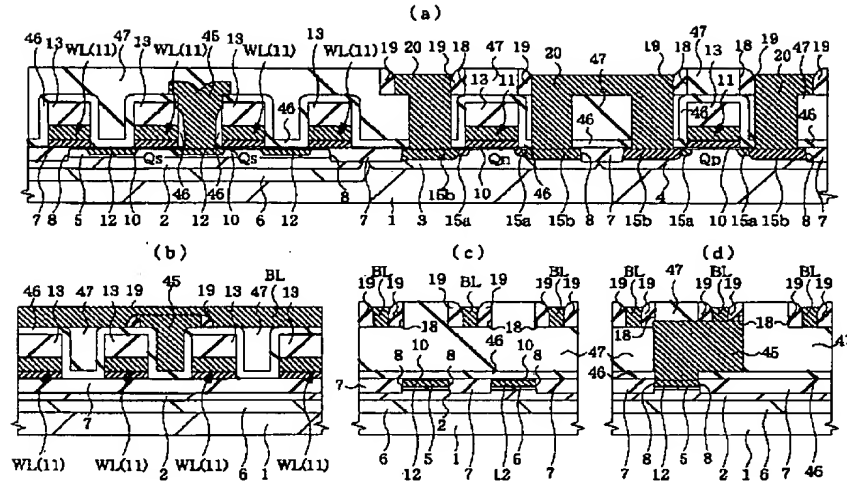
【図 6 8】

図 6 8



【図 6 9】

図 6 9



【図 7 0】

図 7 0

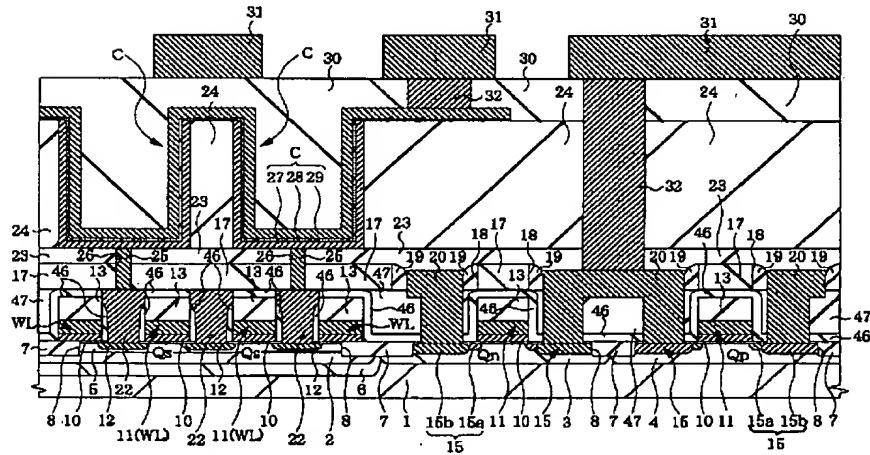
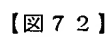


图 71



72

